



TITLE:

半導体機能メモリデバイスとその  
応用に関する研究( Dissertation\_全  
文)

AUTHOR(S):

廉田, 浩

---

CITATION:

廉田, 浩. 半導体機能メモリデバイスとその応用に関する研究. 京都大学  
, 1990, 工学博士

ISSUE DATE:

1990-03-23

URL:

<https://doi.org/10.14989/doctor.r7182>

RIGHT:

半導体機能メモリデバイスと  
その応用に関する研究

廉 田 浩



# 半導体機能メモリデバイスと その応用に関する研究

廉 田 浩





## 論文梗概

本論文では、記憶機能以外に情報の処理機能も合わせ持つ、機能メモリについて議論する。具体的には、アナログ型メモリのCCD、および、ディジタル型メモリのレジスタファイルと連想メモリである。これらは、通常のメモリと同様にVLSI技術の進歩により、今後、その集積度を飛躍的に向上させることができ、より複雑な機能も搭載できる可能性が開けてきている。

機能メモリを個々に議論する前に、第2章では、性能向上のために共通に評価すべき項目：「性能指標」について考察する。これらは、アナログ型の場合、「動作速度」、「雑音」および「直線性」であり、ディジタル型の場合、「記憶容量」、「動作速度」および「記憶以外の追加機能」である。

第3章ではCCDメモリについて議論する。基本特性の解析を前半で行い、後半では試作したCCDのビデオ信号遅延記憶素子について、解析結果と比較しながら各特性を評価する。CCDの解析は、従来から提案されている幾つかの理論式を整理し、更に、新しくCCD構造に対するフーリエ級数形のグリーン関数を導き、これを用いて素子内部の2次元ポテンシャルのようなミクロな量を求め、転送特性や信号電荷量等のマクロな特性を評価する。

試作したCCDは各々ビデオ信号処理の実際的な応用に直結したもので、VTRのタイムベースの補正やドロップアウト補正に利用できる1H記憶遅延素子が2品種と、TVの特殊な画面処理に使用する1フレームメモリ素子である。これらについて、前記の、動作速度、雑音、直線性を実測したところ、1H遅延素子では、各々、信号帯域4MHzと3MHz、高調波歪や雑音に対するダイナミックレンジは40dB以上、またフレームメモリでは、保持時間30msecで、ダイナミックレンジは30dB、出力信号帯域4MHz以上という良好な値を得た。同時に解析結果とも比較したところ、両者は広い範囲にわたって比較的良好に一致し、しかも、CCDだけでなくMOSデバイス一般の特徴である、ショートチャンネル効果等もよく表されていることがわかった。従って、本論文で示した解析手法は、デバイス寸法が微小になった将来のCCDに対しても十分に役立つと考えられる。

第4章ではマルチポートメモリの例として、16ビットマイクロプロセッサに使用するレジスタファイルについて議論する。プロセッサ内部のレジスタファイルはパイプライン処理を実現するため、ほとんど休みなく動作する必要がある。このため、通常のスタティックRAMにワード線とビット線とを加えた単純な2ポート構造では読み出し時と書き込み時に各々、誤動作が発生する。これらの誤動作のメカニズムを解析し、新しいメモリセル回路および周辺回路を採用する。これらにより、プロセッサ内ではパイプライン処理が淀みなく実行できるようになり、マシンサイクル：250 nsec の高性能マイクロプロセッサが実現できた。

第5章では本格的なディジタル型の機能メモリである連想メモリについて議論する。最初に、連想メモリの基本動作とメモリセル回路を検討し、応答速度の速いセル回路を選択する。

ここでは、2種類の応用例に沿って解析を行う。第一のものは、データフローコンピュータ等で使用するオペランドトークンの一致検索用（マッチングユニット：MU）の連想メモリで、一致検索動作以外に、複数の一致が得られた場合の分離出力動作のためのMRR回路(Multiple Response Resolver)、ガーベッジコレクション機能、条件付き書き込み機能等を合わせ持ち、MUとして使いやすいものになっており、性能指標で述べた素子の追加機能が豊富である。この内、MRR回路では、新しい一致フラグ伝搬回路要素と階層化した構造を採用し高速処理を実現した。また、条件付き書き込みでは、遅延書き込み技法を使って周辺回路の大きな追加無しに、この動作を実現している。このような各種の改良の結果、追加機能を含んだ動作サイクルが100 nsec という高速の連想メモリが得られた。

第二の例は、32ビットマイクロプロセッサにオンチップ化された高速アドレス変換素子：TLB (Translation Lookaside Buffer)における連想メモリである。この場合、連想メモリは通常のスタティックRAMと組み合わせて使われ、検索データ入力から一致のとれたアドレスのRAMワードからデータが出力されるまでの時間が極めて重要である。これを短縮するために、ここでは新しい自己同期形の検索動作終了検出回路を採用し、上記データアクセス時間が16 nsec の高速なTLBが得られた。また、このTLBをオンチップ化した32ビットマイクロプロセッサはマシンサイクル 80 nsec でベンチマーク時の総合性能は5.1 MIPSであった。

これまでの標準的な情報処理系は、処理の中心となるプロセッサと記憶用のメモリとが分離しており、これらの二要素間で頻繁にデータのやり取りが生じ、いわゆる「フォン・ノイマンのボトルネック」になっていた。機能メモリの導入により、複雑なデータ処理の一部をメモリ側で受け持つことで、このボトルネックの解消にも役立つと考えられる。

# 目 次

第1章 序論 .....	1
1.1 機能メモリの現状 .....	1
1.2 本研究の構成と意義 .....	3
第2章 機能メモリの性能指標 .....	6
2.1 はじめに .....	6
2.2 デジタル型機能メモリの性能指標 .....	6
2.3 アナログ型機能メモリの性能指標 .....	10
第3章 CCDメモリ ―構造解析と応用― .....	12
3.1 はじめに .....	12
3.1.1 CCDメモリの開発と推移 .....	12
3.1.2 CCDの構造と動作 .....	14
3.1.3 本章の構成 .....	16
3.2 CCD本体の電荷転送特性 .....	16
3.2.1 CCD本体解析の基本式 .....	16
3.2.2 GRの影響が無視できる場合の電荷転送 .....	18
3.2.3 GRの影響が無視できない場合の転送特性 .....	23
3.2.4 多段転送後のCCD総合周波数特性 .....	25
3.3 CCD内部ポテンシャルの数値解析 .....	27
3.3.1 基本方程式と近似 .....	27
3.3.2 境界条件 .....	29
3.3.3 解法 .....	30
3.3.4 解析結果1 ポテンシャル分布 .....	31
3.3.5 解析結果2 信号電荷量と最大電位との関係 .....	34
3.3.6 解析結果3 転送電極下の電界分布と動作速度 .....	35
3.3.7 解析結果と実測値の比較 .....	37

3.4	CCDの雑音特性	39
3.4.1	CCD雑音の分類	39
3.4.2	暗電流の特性	40
3.4.3	CCD転送後のトラップ雑音	43
3.5	CCDの入出力回路	45
3.5.1	CCDの入力回路	45
3.5.2	CCDの出力回路	46
3.5.3	CCD出力部の雑音	49
3.6	CCDのアナログメモリ応用	50
3.6.1	直線形1H CCDアナログメモリ	51
3.6.2	サーペンタイン形1H CCDアナログメモリ	57
3.6.3	ピクチャ-IT-ピクチャTV用CCDフレームメモリ	63
3.7	CCDメモリのまとめ	71
第4章	マルチポートメモリとしてのレジスタファイル	79
4.1	はじめに	79
4.1.1	マルチポートメモリの分類	79
4.1.2	本章の構成	80
4.2	マルチポートメモリおよびレジスタファイルの構成と動作	81
4.2.1	周辺制御形マルチポートメモリの動作特性	81
4.2.2	マイクロプロセッサ中のレジスタファイルの動作	83
4.2.3	NMOS回路を使ったレジスタファイルの設計と動作解析(1)	85
4.2.4	NMOS回路を使ったレジスタファイルの設計と動作解析(2)	89
4.3	レジスタファイルをもつ16ビットマイクロプロセッサの特性	92
4.3.1	マイクロプロセッサの性能について	92
4.3.2	16ビットマイクロプロセッサの全体構成と諸特性	95
4.4	レジスタファイルのまとめ	99
第5章	連想メモリ ー分類、回路解析と応用ー	102
5.1	はじめに	102
5.1.1	連想メモリの定義と分類	102
5.1.2	本章の構成	104



5.2	連想メモリの基本回路とその動作 .....	104
5.2.1	B P W P 形 C A M の構成 .....	104
5.2.2	B P W P 形 C A M の動作 .....	107
5.3	再入力モードをもつ C A M の構成、特性およびその応用 .....	112
5.3.1	C A R M の構成と全体の概要 .....	112
5.3.2	プライオリティーエンコーダの構成 .....	114
5.3.3	遅延書き込み技法による再入力モード動作 .....	117
5.3.4	その他の動作モードおよび素子の電気特性 .....	121
5.3.5	C A R M のアプリケーション: M U .....	124
5.4	記憶管理 L S I 中の C A M .....	127
5.4.1	仮想記憶システムの構成と特性 .....	128
5.4.2	高速アドレス変換装置: T L B .....	132
5.4.3	C A M を使った T L B の動作 .....	134
5.4.4	機能メモリとしての L R U 回路 .....	137
5.4.5	T L B をオンチップ化した 3 2 ビットマイクロプロセッサ .....	141
5.5	連想メモリのまとめ .....	144
第 6 章	結論 .....	148
謝 辞	.....	152
研究業績一覧	.....	153
付 録	.....	155
付録 1	C C D の内部電位計算式導出と計算機プログラムの概要 .....	155
A 1.1	係数の求め方 .....	155
A 1.2	級数の収束性について .....	158
A 1.3	解析プログラムの概略 .....	159
付録 2	C C D リセットジャンクション形出力部の S H C と出力容量 .....	160
A 2.1	最大信号電荷量: S H C .....	160
A 2.2	リセットジャンクション部の浮遊容量 .....	161



## 第 1 章 序 論

### 1. 1 機能メモリの現状

コンピュータを始めとする今日の電子機器産業発展の最大要因の一つとして、半導体集積回路素子技術の進歩があげられる。当初、集積回路（L S I）を各種システムに導入することは、第一にそのコスト低減、第二にシステムの小型化と信頼性の向上に大きく貢献してきたと言える。卓上電子計算機の例はこのことを如実に物語っている。1980年代の製品価格や形状は1960年代のトランジスタ式のものに比べて数百分の一になっており、しかも信頼性は数倍になっている。しかし近年はこの二つだけでなく、高機能L S Iの導入によりシステム全体の性能向上や特殊化を図るという第三のメリットを追求する動きが活発である。L S Iユーザ側の多様な要望と、それに応える形でメーカー側が製造・設計技術力をつけてきてるため、このようなことが可能となっている。各種の並列計算機システム等に使われるV L S Iプロセッサは「性能向上の例」であり、一般に、A S I C（Application Specific Integrated Circuits）と呼ばれているL S Iは「特殊化の例」であろう。

さて、L S Iのなかでも最も重要な製品群として、記憶素子：メモリがあるが、近年この分野でも、従来の汎用で読み書きだけの単機能なものばかりでなく、やや専用であるが複雑な機能や特殊な機能を持ったメモリが製品化され始めている。これらを分類してみると、次表のようになる。

第 1.1.1 表 機能メモリの分類

タイプ	具体例
ディジタル型	
(a) 各ビットごとに機能が付加されているもの.....	連想メモリ
(b) メモリブロック単位で機能が付加されているもの.....	ビデオRAM
アナログ型	
(a) 各ビットごとに機能が付加されているもの.....	CCD撮像素子等
(b) メモリブロック単位で機能が付加されているもの.....	CCDフィルタ等

これらのメモリは一般に機能メモリ（ファンクショナルメモリ）と呼ばれ、通常の、汎用単機能のランダムアクセスメモリ（RAM）やリードオンリーメモリ（ROM）等とは区別される。

ここで、機能メモリの位置づけと重要性について簡単に触れておく。

情報処理システムというものは、一般に、人間等の生体のシステムを種々のレベルで模倣して作られてきたと言われている。処理の基本的な機能として「記憶」と「算術論理演算」が考えられ、人間が作ったシステムでは、それぞれ別の要素部品がこれらの機能を実現してきた。前者がメモリ（汎用単機能メモリ）で、後者がCPUやマイクロプロセッサ等である。しかし、この単純な機能分割方式で、要素部品個別の性能向上によりシステム全体の高性能化を図ることは次第に困難になってきている。これは、処理に要する時間のうちで、CPUとメモリ間のデータのやり取りに要する時間（広義の通信コスト）の割合が大きくなり、実質的に処理速度の上限を決めているからである。一方、近年の研究から、生体システムでは、記憶機能要素と演算機能要素とが各々分離して集中しているのではなく、むしろ両方の機能を果たす要素が分散し全体として効率的な処理を実現していることが分かってきている[1.1]。従って、記憶機能と演算機能を合わせ持った素子（即ち、機能メモリ）を使ってシステムを構成することが、通信コストを下げる意味からも、より高度な生体システムの模倣という意味からも重要になってきている。現在の機能メモリはシステムの要請を満足するにはまだ不十分ではあるが、将来は重要なシステム部品として、例えばデジタル型は中枢神経に匹敵するもの、アナログ型は一部の感覚機能も含んだ末端神経系に匹敵するものに、各々発展していくものと考えられている。

次に、「汎用・単機能メモリ」と「機能メモリ」各々の特徴を産業的な観点、あるいは技術開発的な観点からまとめてみる。

- (1) 汎用・単機能メモリは共通で大規模なマーケットが形成されており、製品の主要評価指標は「ビット数」、「アクセス・タイム」および、ダイナミックRAM（DRAM）やプログラマブルROM（PROM）の場合の「記憶保持特性」の3点に集約される。これらの点の改良は微細加工技術や半導体処理技術等のいわゆるプロセス要素技術の開発に伴って実現されるものであり、LSIメーカーもその資源をプロセス要素技術開発に投入して、更に“性能／価格比”のよい新製品をマーケットに導入することが可能となる。
- (2) 一方、機能メモリは共通のマーケットという様なものが未形成かもしくは規模が小さく、製品の評価指標も「アクセス・タイムまたは処理速度」以外は、個々の応用に対して局所的或いは暫定的に決められる事が多い。また、関連する技術分野もプロセス要素技術から回路・システム技術に至る広範囲に亘っている。従って、機能メモリが暫時重要性を増して行くことが認識されているにもかかわらず、LSIメーカーに於ける集中的な資源投下が困難なこともあり、新製品が開発されることはまだ少ないのが現状である。

つまり、従来DRAMの開発で行われてきた、16Kbから64Kbへ移行する時の投影型アライナーの導入や、1Mbの場合の縮小投影型アライナーとイオンエッチング法の導入のように、要素技術のイノベーションと最適化そして新しいイノベーションという技術開発の連鎖が、機能メモリではまだ全く行われていない。

## 1. 2 本研究の構成と意義

本論文は、大きく分けて四部から構成されている。第2章は、機能メモリの性能指標に関する考察、第3章はCCD（電荷結合素子）メモリに関する研究、第4章はマルチポートメモリに関する研究、第5章は連想メモリに関する研究である。

第2章では、機能メモリを評価するための一般的な基準となる、「機能メモリの性能指標」について、アナログメモリとデジタルメモリの二つの場合に別けて考察する。機能メモリが今後重要になってくると考えられるにも拘らず、製品の導入やこれをテーマにした研究が充分行われていない理由の一つとして、素子を評価する客観的な基準が定まっていないことが挙げられる。本章では、このような状況を解消し、以降の各素子の特性評価に対しても適切な基準を与える目的で、性能指標を設定する。

第3章では、アナログ機能メモリであるCCDについて、先に考察した性能指標である「速度」「信号／雑音比（S／N）」「直線性」の三項目を中心に、これらと素子の構造パラメータがどのように関係しているかを、理論的及び実験的に研究する。具体的には、

- (1) 過去になされた研究を整理して、CCDの電荷転送のメカニズムを解析し、転送動作を表す基本式を導く。
- (2) 更に詳細に解析するため、素子の2次元内部ポテンシャルを計算する必要があるが、これを簡単に得るためのグリーン関数を使った新しい独自の数値解法を示す。
- (3) 速度を評価するための転送特性及び信号電荷量を上記のポテンシャルから求め、実験結果と照合して理論式の有効性を確認し、素子の構造パラメータの最適化を行う。
- (4) 雑音や信号の非直線性の発生するメカニズムを考察し、その影響を評価する。



(5) 映像信号処理用の三種類のCCDメモリを試作し、特性を評価する。

これらの結果から、ある応用に対してCCDの構造パラメータをどのように最適化していくか、そして特性の上限はどこにあるかという疑問に解答或いは指針を与える事ができる。また、(2)で導出した2次元ポテンシャルを求める理論式はMOS形素子であれば一般的に有効であるため、ショートチャンネル効果などを簡便に評価する場合にも役立つものと考えられる。

第4章では、機能性は幾分小さいが、各種プロセッサ内のレジスタファイル等に多用されているディジタル型の機能メモリであるマルチポートメモリについて記述する。

マルチポートメモリや次に述べる連想メモリでは、CCDと異なり、素子自体のミクロな構造が直接問題になることは少なく、(新規なDRAMやSRAMのメモリセル構造をそのまま借用するという間接的な関連はあるが、)むしろ、「メモリの構成や、どのタイプのメモリセル回路を使用するか」といったマクロな選択がシステム全体の性能改善にとって重要な場合が多い。

この章でも、マルチポートメモリとして16bMPU(16bit Microprocessing Unit)中に使用されるレジスタファイルを例にとり動作の解析をし、MPUシステム全体の性能向上のために適切なポート数を導く。また、この章の最後で、16bMPUの全体動作についても簡単に解析する。

第5章では、典型的な機能メモリである連想メモリおよび関連LSIについて記述する。その性能指標である「記憶容量(ビット数)」「速度」「機能性」の三項目と回路構成法との関係をシミュレーションと実験により研究する。具体的には、以下の項目について議論する。

- (1) 連想処理一般についてまとめ、これらのLSI化について考察する。
- (2) 連想メモリの種々の回路方式についてシミュレーションと実験を行い、動作速度を評価する。
- (3) 連想メモリの第一の応用として、データフローコンピュータ中のマッチングユニットを設計試作し、特性を実測するとともに、システムの総合性能を向上させるために設けられた各種の追加機能について解析する。
- (4) 連想メモリの第二の応用例として、仮想記憶を使う高機能コンピュータシステム中の高速アドレス変換デバイス：TLB(Translation Lookaside Buffer)について解析し、試作した素子の特性を測定する。また、このTLBをオンチップ化した32bMPUの全体性能についても簡単に考察する。

最後に、第6章では、全体のまとめを行う。

本論文で扱った機能メモリの中では、CCDを除くと、連想メモリやマルチポートメモリは単に製品が少ないだけでなく、研究としても充分になされている状態ではない。従って、本論文で示した幾つかの試作素子の特性や諸元、方式等は、今後の研究開発のための基礎的なデータとして十分に役に立つと思われ、本論文の意義もそこにあると考えられる。

## 参考文献

- [1.1] (例えば) Rumelhart, D. E., McClelland, J. L. and PDP Research Group "Parallel Distributed Processing," vol.1, MIT Press 1986.

## 第2章 機能メモリの性能指標

### 2.1 はじめに

この章では、前の章で述べた性能指標について、もう少し詳しく検討してみる。

一般にシステムを構成している部品の性能は、比較的容易に表現することができる。これは、同一の機能であればより小さい方がよく、同一の大きさであればより多機能の方がよく、同一の処理はより高速の方がよい、という基本原則があるからと考えられる。

一方、複雑なシステムの性能を簡単な数値で評価することは難しいとされている。例えば、コンピュータの性能を表現するものとして、マシンサイクルタイム、命令実行速度（MIPS: Million Instructions Per Second）、ベンチマーク速度（Whetstone[2.1], Linpac[2.2]）等があるが、特定の応用に対する実行時間を正確に推定する事は、どれを使っても不可能である。更に、特定の応用分野に対する専用システムの産業的価値は、当然の事ながら、その応用のマーケット規模にも比例している。

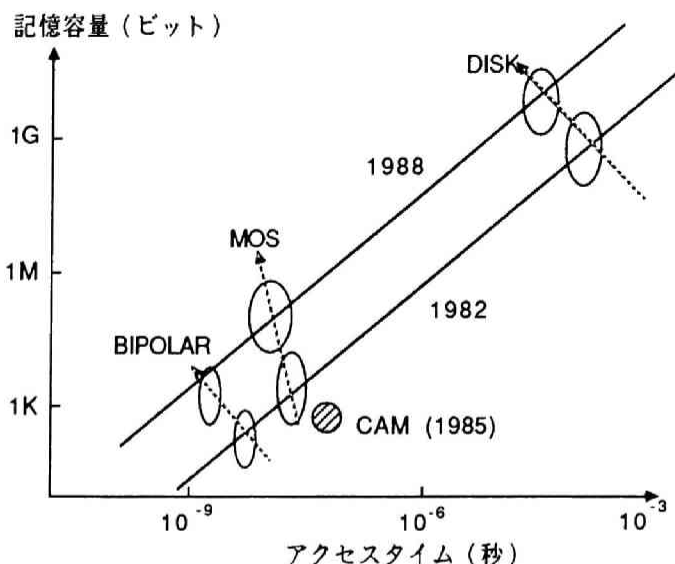
機能メモリは、部品のなかでは「システムの方へ一歩踏み出した専用性の高いものという位置付け」であるので、単に性能の評価が汎用メモリ等より幾分複雑になるばかりでなく、前章で述べたように、その「性能指標」を産業的な観点も考慮したものとするためには、特定の応用分野やその市場規模についても、ある程度検討する必要がある。

ここでは、応用分野でかなり異なる、ディジタル型とアナログ型の機能メモリについて、分けて議論する。

### 2.2 デジタル型機能メモリの性能指標

汎用メモリは、非半導体メモリも含めて、その応答速度と記憶容量（または、ビットコスト）を基本量として階層構造の分布をしている。第2.2.1図にこの様子を示す。この図は、アクセスタイム（動作速度）と記憶容量が各々異なるバイポーラ(Bipolar)、MOS(MOS)、磁気ディスク(Disk)、3種類の汎用メモリの位置をプロットしたものである。6年ほどの間に、階層構成はそのままに、各々の種類で、記憶容量は大きく、アクセスタイムは速くなっており、メモリの性能を評価する場合に、動作速度と記憶容量を組み合わせた量が極めて有効なことが分かる。

機能メモリでも、やはり性能指標として最低これらの2量を採用することは妥当であろう。しかし、同じ 第2.2.1図 上に、機能メモリの例として連想メモリ(CAM)をプロットしてみると明かなように、汎用メモリに比して、単に、劣った性能のメモリとして位置付けられ(年数にして4~5年の遅れ)その機能性をほとんど表すことができない。従って、「記憶容量」と「動作速度」以外に、機能性を表す指標を導入することが必要である。以下、連想メモリを例に取り機能性の評価方法を考えてみる。



第2.2.1図 汎用メモリの分布

連想メモリの場合、情報の記憶以外に、情報の検索(連想)処理という機能が追加

されているが、これをもし汎用のプロセッサで処理すると、「情報の読み出し(READ)」と「情報の比較(COMPARE)」の繰り返し、および「一致データ番号の出力(ADDRESS-OUTPUT)」という、三種類の基本処理によって置き換えられる。しかしこのことから直ちに、「情報の記憶」という一基本処理しかできない通常のメモリに比べて、同一規模の連想メモリは三倍のメリットがあると言えるわけではない。何故ならば、実際に「情報の検索」という処理の重要性は、単なる「記憶情報の読み出し」に比べてかなり小さく、同列の処理として扱うのは適切でないからである。ある処理の重要性はその処理が使われる頻度(あるいは生起頻度)に比例すると考えられ、生起頻度は広範囲な統計を取らなければ正確には分からないが、概略については、例えば汎用プロセッサの「命令ミックス」等から類推することができる。命令ミックスは、ある応用分野での代表的なプロセッサの命令使用頻度分布で、科学技術計算分野における「ギブソンミックス」や、一般商用計算分野における「コマーシャルミックス」等が有名である。第2.2.1表に命令ミックスの例を示す。(命令ミックスはCPUのアーキテクチャによりかなり異なったものになる。この例では、CPU内のレジスタ数の多少やインデックスアドレッシングの有無により、ロード/ストア、論理演算の頻度が大幅に変化する。)例えば、第2.2.1表(a)で比較命令(レジスタ8個、頻度12%)中の約1/3が検索処理として実行され、それにとまってメモリとの間でデータのロード/ストアが約5%の頻度で発生したと仮定すると合計約10%の頻度となる。従って現在、事務応用の分野で考えると連想メモリを導入することによって、CPUは約10%の仕事を連想メモリに任せることができ、その間別の仕事を実行できるので、システムの性能は平均10%程度向上すると考えられる。

第2.2.1表(a) ファイル処理実行時の命令ミックスの例[2.3]

命 令	命令実行サイクル	相対頻度	
		レジスタ 8 個 インデックス付CPU	レジスタ 2 個 インデックス無CPU
加 算	2.0	0.199	0.101
減 算	2.0	0.013	0.017
乗 算	4.0	0.0	0.0
除 算	6.0	0.0	0.0
シフト	1.0	0.018	0.013
ロード	2.0	0.223	0.310
ストア	2.0	0.201	0.304
比 較	2.0	0.120	0.046
論理演算	2.0	0.0	0.121
分 岐	1.0	0.219	0.085
入出力	21.0	0.005	0.002

第2.2.1表(b) Gibsonミックス：科学技術計算実行時の命令ミックスの例[2.4]

命令の種類	相対頻度
CPUとメモリとのデータ転送命令	0.31
インデックス命令	0.18
分岐命令	0.17
浮動小数点演算	0.12
固定小数点演算	0.07
シフト	0.04
その他	0.11



この値を機能性を表す性能指標として採用すると次の様なことが結論づけられる。

- (1) 一般的な事務応用分野を考えた場合、連想メモリをシステム中に導入しても10%程度のメリットしかない。従って、汎用のメモリとしても充分使用でき、さらに追加機能として連想機能も持ったものである必要がある。例えばスタティックRAMと同程度の容量は最低必要である。
- (2) 特殊用途で、連想処理がなくてはならない応用分野では小規模でも高速な連想メモリが使われる。但しこの場合は市場規模が小さいか、もしくは汎用的なLSI中にオンチップ化される傾向にあり（例えば、汎用マイクロプロセッサ中のメモリ管理用TLBのタグ検索連想メモリ）連想メモリの単独製品化にはなりにくい。

これらのことは、連想メモリの現状と将来方向を比較的良好に表しているため、評価のための指標としてこの計算法と数値を採用するのは意味があると考えられる。

以上をまとめると、デジタル型のメモリでは、その性能指標として

- (a) 記憶容量、
- (b) 動作速度

が通常のメモリ同様に挙げられるが、それ以外に、

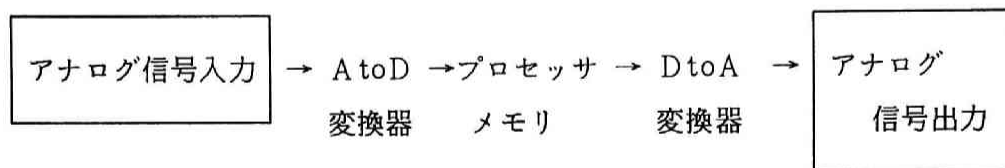
- (c) 機能性を表す（評価する）指標

が必要である。しかもこの機能性は対象としている機能メモリの動作を汎用プロセッサで置き換えた場合の基本処理数と各処理の生起頻度を掛けた数値とすると、産業的にもその製品のメリットを表したものとなり都合がよい。但し、この生起頻度は普遍的なものでなく、むしろ、その時代の動向やある応用分野の具体的な状況を反映したものの方がよい。例えば将来、データベースマネジメント等の応用が非常に重要性を増して来ると考えられ、これに伴い検索処理の生起頻度が大きくなると連想メモリの機能性も大きくなっていく。また、記憶容量に関しては、製造技術の進歩で汎用メモリ同様（3年で約4倍の増加率）大幅な増加が可能であり、将来独立したデバイスとして充分実用に耐え得る機能メモリの開発が期待される。

以上のような事を総合して機能メモリの有効性を考慮する必要がある。例えば、第5章で議論する連想メモリでも、高速小容量形と、大容量低速形があるが、TLB用への連想メモリの応用を考えた場合、生起頻度は極めて高く、しかも動作速度は決定的に重要であるため高速小容量形の連想メモリを採用することが有効である。

## 2. 3 アナログ型機能メモリの性能指標

アナログ型の機能メモリの性能指標として、ディジタル型と同様なものを考えることもできる。しかし、アナログ情報を遅延させたり、または記憶したりする処理を通常の（ディジタル型）メモリを使って実現するとすれば、次のような処理系が必要となり



第 2.3.1 図 アナログ信号の処理系

大がかりな系になる。従ってディジタル機能メモリのときに問題になった機能性についてはアナログメモリということで十分に機能性があると考えられ、特に性能指標の一つに選ぶ必要はない。また、「記憶容量」もある程度大きいことは必要であるが、用途によって最適な記憶容量（ビット数、或いは段数）が決まっており、大きければ大きいほどよいというわけではないので、性能指標として採用するのは適切でない。むしろ通常のアナログ素子と同様の項目を性能指標とする方が適切であると考えられる。

従って、アナログ型機能メモリは、通常のアナログ回路を評価する場合と同様に、

- (a) 動作速度（或いは、周波数特性）
- (b) 雑音（ $S/N$ ）
- (c) 直線性

を用いる。但し、CCD等のダイナミック素子を想定した場合、記憶保持時間も極めて重要な評価量であるが、時間が経過するにつれて  $S/N$  が劣化すると考えれば雑音という性能指標で評価できる。

本論文ではこれらの性能指標を測定・解析し、素子を客観的に評価する。

## 参考文献

- [2.1] H. J. Curnow and B. A. Wichmann, "A Synthetic Benchmark," The Computer Journal, vol.19, pp43-49, Feb., 1976
- [2.2] J. J. Dongara, "Performance of Various Computers Using Standard Linear Equations Software in FORTRAN Environment," Argonne National Lab., Mathematics and Computer Science Tech. Mem. No.23, July 24, 1986
- [2.3] H. Hellerman and T. F. Conroy, "Computer System Performance," McGraw-Hill, New York, 1975, pp.146-147
- [2.4] (例えば) J. P. Hayes, "Computer Architecture and Organization," McGraw-Hill, N.Y., 1978, p.125

### 第3章 CCDメモリ —構造解析と応用—

#### 3.1 はじめに

##### 3.1.1 CCDメモリの開発と推移

1970年に Boyle と Smith[3.1] によって発明された、Charge-Coupled Devices, CCD (電荷結合素子) は、製造工程は通常のMOS-ICとほとんど変わらないが、動作原理が新規なものであったため、非常に注目を浴び、多くの研究者により精力的な研究が行われた。

1970年から1975年までの言わばイノベーションの時代に於ては、幾つかのCCDの改良発明がなされたが、その中でも、(a)1972年の「埋込みチャンネル形CCD(Buried Channel CCD)の発明」

[3.2]、(b)1973年の「イオン注入によって隣接するゲートの閾値電圧( $V_t$ )を変化させる技術」

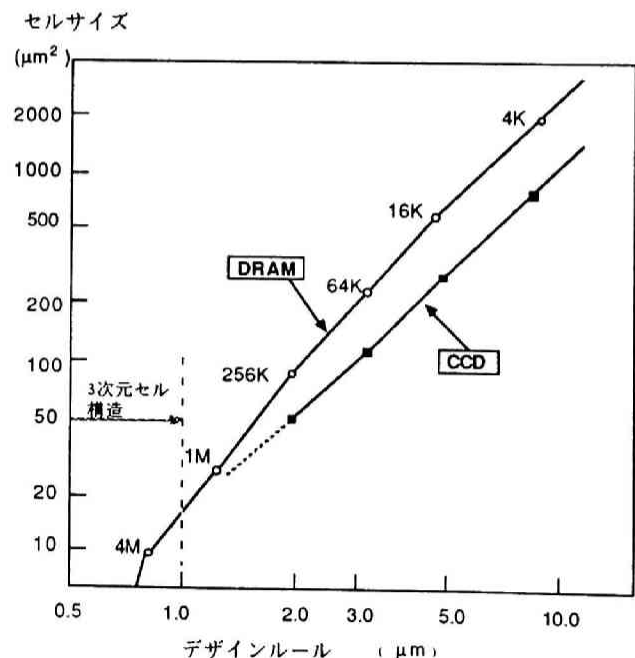
[3.3] (これにより、CCDを二相のクロックで駆動することが可能になった)、(c)1974年の

「多結晶シリコン(Poly-Si)の二層重ね合わせゲート構造のCCD」 [3.4]、の三種類の発明以降のCCDを方向付けるものとして非常に重要である。

また、これらに使われている技術はCCD独特のものでなく、広くMOS-IC全般に亘る基礎技術で、例えば、DRAM (c) やCMOSの各種VLSI (a), (b) で現在も多用されている。

このように、次々と新しい発明や提案がなされる状況から、1976年時点の将来予測では、アナログからデジタルまでの幅広い応用分野でCCDが極めて有効であるように考えられていた。その代表的なものがデジタルメモリである。[3.5]

当時のDRAM(Dynamic Random-Access Memory)の標準的な形式は3トランジスタ/メモリ(ビット)セルであり、これに比べれば、CCDのビットセルは1/2~1/3の面積で済むため、高密度で、ある程度のアクセス速度のものが実現できると評価されたため

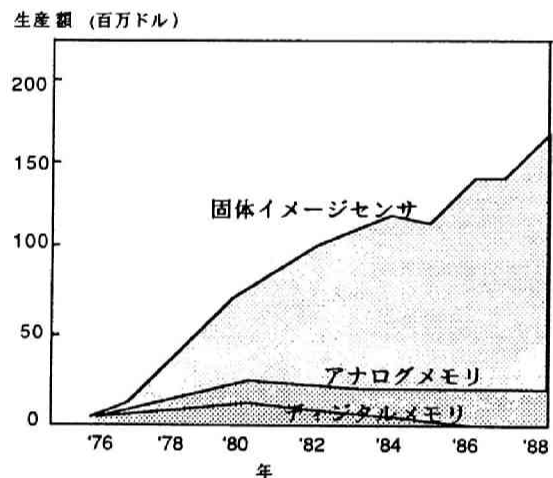


第3.1.1図 DRAMとCCDメモリのセル面積比較

あった。(第3.1.1図)

しかしこれらの予想のうち、デジタルの応用に関するものの多くについては正しくなかったことが、その後の開発の推移によって示されている。(第3.1.2図) デジタルメモリの分野では、単なるメモリ集積度よりも、「ランダムアクセス(随時任意アドレス読み書き可能)」という特性が非常に重要である。一種のシリアルメモリであるCCDは任意のアドレスの読み書きに要する時間の平均(Latency-Time)が長いのでこの特性は芳しくない。その他のデジタル応用も任意の論理関数素子を形成することが難しいため徐々に開発検討の対象から外れていった。

結局、現在CCDの主たる応用分野として生き残り、しかも将来も有望なものはアナログ処理の分野である。特に、商業的に成功を納めているのは、固体イメージセンサ、即ちCCD撮像素子である。またマーケット規模は現在のところそれほど大きくないが、音声からビデオ帯域のフィルタ、相関器等の狭義のアナログ信号処理分野でも重要な部品として使われている。



第3.1.2図 CCDの応用分野

1976年以降、CCDの構造等の新しい提案は少なくなったが、次第に絞られてきたCCDの応用の中で最重点分野であるCCD撮像素子の開発に向けて多くの研究

がなされた[3.6]～[3.9]。特に、その雑音特性を向上させるため基板シリコン中の結晶欠陥を大幅に減らす必要があり、そのための結晶製造技術やプロセス技術が研究された。これらの成果は、単に低雑音CCD撮像素子の実現に役だったのみならず、その後のDRAMをはじめとするVLSIの発展に大きく貢献している。

既に、前の章で記述したように、アナログ処理素子としてCCDを評価する場合は、動作速度、S/N、直線性の三指標が重要であり、この章で順次検討していくが、まずその前に、CCDの概略構造および動作を説明する。



### 3.1.2 CCDの構造と動作 [3.10]

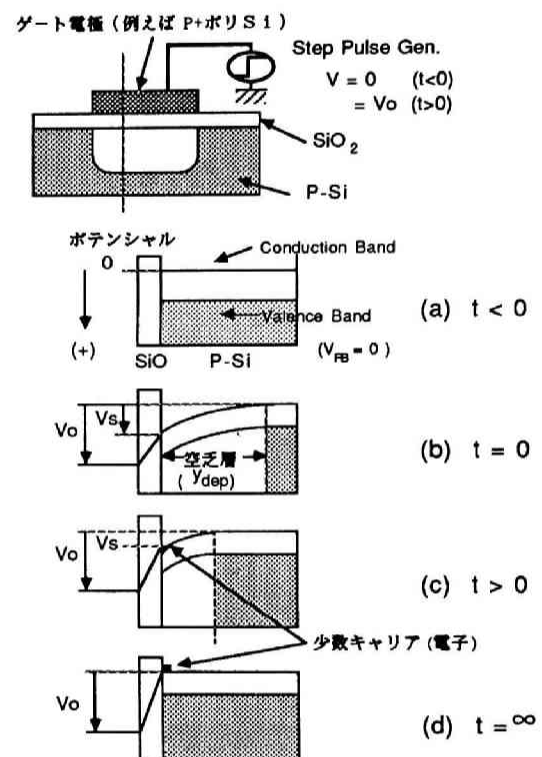
CCDの発明はMOS容量の研究からもたらされたと言われている。また、MOS容量自体、現在でもMOS集積回路製造プロセスの評価用に使用されているので、まずこの構造と動作を説明する。

第3.1.3図にMOS容量の構造図と内部ポテンシャル図を示す。

同図 (a) はゲート電極にステップ電圧： $V_0$ を印加する以前のポテンシャル分布である。説明を簡単にするためフラットバンド電圧： $V_{FB}$ を0Vにしているため（即ち、ゲート絶縁膜中の電荷や界面の電荷が存在せず、ゲート電極材料としてP形 Poly-Siを仮定する）、ゲート部分、絶縁膜 ( $\text{SiO}_2$ )、P形半導体領域 (P-Si) では電位はすべて0Vになっている。（電子に対するコンダクションバンドエッジの電位をポテンシャルとすれば、 $\text{SiO}_2$ 中の厳密なポテンシャルは約3.5V 図の上のほうへ平行移動したものになる。）

同図 (b) はゲート電極にステップ電圧： $V_0$ が印加された直後のポテンシャル分布を示している。正電圧の印加により、P-Si中の自由電荷ホールは基板の奥深くに誘電緩和時間の時定数で追いやられ、あとに空間に固定されたアクセプタの（-）イオンが残り、いわゆる、空乏層 ( $Y_{dep}$ )となる。空乏層内では空間電荷の存在のため電界が形成されており、種々の原因でこの領域に入ってきた微小な自由電荷は電界によってドリフトし、電子は電極側に集まり、ホールは基板の奥へ移動する。特に電子は半導体とゲート絶縁膜の境界に集まり面電荷となる。

同図 (c) はステップ電圧印加後、ある程度時間が経過した時点でのポテンシャル分布で、半導体とゲート絶縁膜の境界に集まった電子の面電荷により空乏層は小さくなっている。ゲートに印加された電圧はゲート絶縁膜と空乏層とで分圧されるが、空乏層が減少しそこにかかる電圧が減る分だけゲート絶縁膜にかかる電圧が増加する。



第3.1.3図 MOS容量の動作

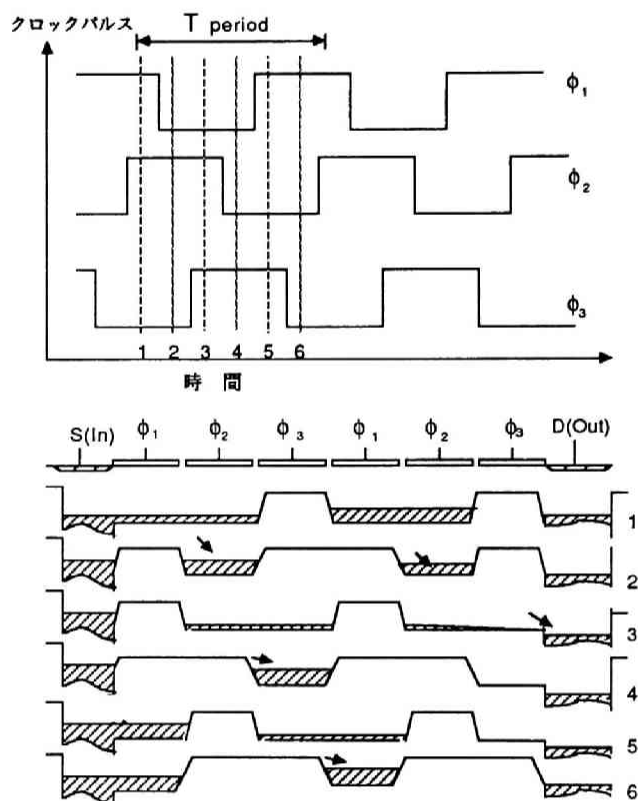
同図（d）は、ステップ電圧印加後、十分に時間が経過した時点でのポテンシャル分布で、空乏層は消滅しており、印加電圧： $(V_0)$  は全て絶縁膜に印加される。

このMOS容量の両端に高濃度の不純物拡散層（この場合はN<sup>+</sup>形不純物拡散層）を設け、それぞれソース、ドレインとしたものがMOS形電界効果トランジスタであり、界面の電位 $V_s$ が不純物拡散層の電位（ほぼ $V_{FB}$ ）よりも高くなると、導通状態（ON）になる。更に、MOS容量のゲート電極を3個以上に分割し、ソース、ドレインの不純物拡散層を設けたものがCCDであり、各ゲートは適当な周期をもった位相の異なるクロックパルスで駆動される。

第3.1.4図にCCDの模型説明図を示す。

概略の動作は、並んだゲートに次々と電位を印加することによって半導体基板内に瞬間的に移動するポテンシャル井戸を作り出し、隣接する井戸の間を、何等かの情報を持った信号電荷を転送させ、出力端までもって行き、処理結果としての電荷を取り出すことである。

このようなCCDの動作において、特に重要なことは次の二点である。



第3.1.4図 CCDの構造模型と動作説明

- （１）半導体基板内に形成された電位の井戸はある時間経過すると消滅するため、CCDには常にクロックを印加し、一定時間内に電荷を取り出さなければならない。即ち、CCDはDRAMと同様、ダイナミックな素子である。
- （２）隣接する井戸の間を信号電荷が転送されていく際に、種々の理由で転送されないで残留する電荷があり、これがCCD全体の動作特性を決定している。CCDを駆動しているクロックの周波数を徐々に高くし、電荷の移動が時間的に間に合わなくなっていく場合は素子自体の動作クロック周波数特性の劣下となり、一方、クロック周波数と無関係に電荷が結晶中の準位等にトラップされて残留する場合は、信号電荷が運んでいる情報の周波数特性および雑音特性の劣化となる。

CCDには、ここまでの説明で述べた、MOS素子と同様にチャネルが絶縁膜の直下にある形、いわゆる「表面チャネル形CCD」と、半導体基板表面部分に基板と逆極性の不純物層（ウェル）を設けチャネルを表面から離れた、いわゆる「埋込みチャネル形CCD」の二種類がある。これらについては、次節以降で詳細に検討するが、一般に後者の方が転送特性がよい。

次に、本章の構成を説明する。

### 3.1.3 本章の構成

本章では基本的に、CCDをアナログ処理素子、特にアナログメモリとして扱い、その特性を議論する。まず、3.2節では前章で述べたアナログ処理素子の性能指標のうち、動作速度を検討するため、CCDの転送動作の概略解析を行う。3.3節では、前節で述べた転送動作解析を更に詳細に行うためと、S/N評価の内、信号電荷量（S）を求めるために必要な、CCD内部の二次元ポテンシャル解析の方法とその結果を記述する。ここで述べる方法は、グリーン関数を使うもので、計算時間も比較的短くて済む。3.4節では、S/Nの内、雑音特性（N）を考察する。特に、その発生のメカニズムと電圧や温度依存性について記述する。3.5節では、周辺回路の直線性も含めたCCDの総合特性について考察し、3.6節では、アナログメモリ（アナログ遅延線）の三種類の具体例の構成と特性を記述する。最後に、3.7節で本章のまとめを行う。

## 3.2 CCD本体の電荷転送特性

3.2節から3.4節では、アナログ処理素子としてのCCD性能を評価するため、各種の基本的な解析を行う。CCDを、チャネル上に多数の電極が並んだ本体部分と、電圧または光信号と電荷信号との変換機構を伴った入出力回路部分とに分ける。アナログ素子の性能指標のうち、本体部分の特性は主に「動作速度」と「S/N」に関係し、入出力回路部分のそれは主に「直線性」に関係している。この節では、本体部分の性能指標に直結した電荷転送特性を検討し、特に、この特性を左右する最も重要なパラメータである、転送損失の割合を示す「非転送効率： $\epsilon$ 」を解析する。

### 3.2.1 CCD本体解析の基本式

CCD本体部分では、理想的には入力部から取り込まれた信号電荷が出力部まで正確に転送され100%取り出されればよい。しかし実際には、電極から次の電極への転送の間に少しずつ電荷を転送

し残したり（即ち、非転送効率の発生）、逆に信号と直接関係のない電荷が混入したりして、理想から外れた動作をする。この状態を解析するために、半導体一般の基本式 [3.11] から CCD 独特の式を導く。

#### (1) マックスウェルの方程式

動作周波数と素子内部を流れる電流の大きさから、CCD ではポアソンの式のみが重要である。

$$\nabla \cdot D = \rho(x, y, z) \quad \text{或は} \quad \nabla^2 \Phi = -eN/\epsilon \quad (3.1)$$

ただし、 $D$  は電束密度、 $\rho$  は空間電荷密度、 $\Phi$  は内部ポテンシャル（ポテンシャルは定義できる）、 $N$  は実効的な荷電子密度で、 $N = N_{\text{space}} + n_h - n_e$ 、 $N_{\text{space}}$  は空間固定電荷、 $n_h$   $n_e$  は各可動のホールおよび電子密度、 $e$  は電子電荷、 $\epsilon$  はその場の誘電率である。

#### (2) 電流密度連続の方程式

$$J_e = -n_e e \mu_e \nabla \Phi + e D_e (\nabla n_e) \quad (3.2)$$

$$J_h = -n_h e \mu_h \nabla \Phi - e D_h (\nabla n_h) \quad (3.3)$$

$$J_{\text{total}} = J_e + J_h \quad (3.4)$$

ただし、 $J_e$   $\mu_e$   $D_e$   $J_h$   $\mu_h$   $D_h$  は各々電子およびホールの電流密度、移動度、拡散係数である。

#### (3) 連続の方程式

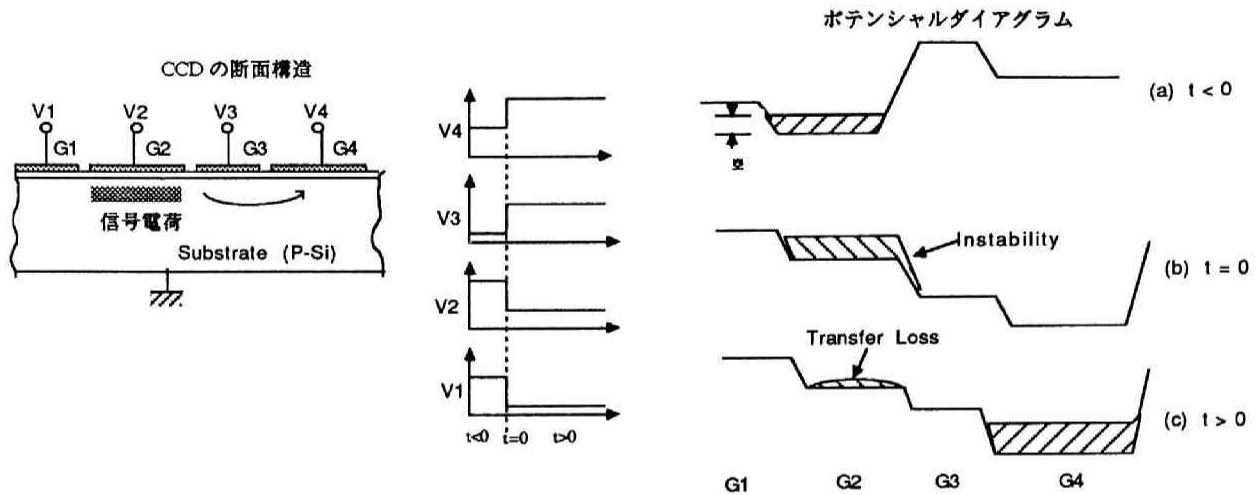
$$\partial n_e / \partial t = (1/e) \nabla \cdot J_e + G_e - R_e \quad (3.5)$$

$$\partial n_h / \partial t = - (1/e) \nabla \cdot J_h + G_h - R_h \quad (3.6)$$

ただし、 $G_e$   $R_e$   $G_h$   $R_h$  は各々電子およびホールの単位時間当りの発生率と再結合率である。

さて、ここで第3.2.1図で示したような構造のNチャンネル形CCDを考える。説明を分かり易くするために、流体が下に流れるように電荷が転送される類似を行い、ポテンシャル図は、下向きを正にとっている。（但し、次節のポテンシャル分布図では上向きを正にとる。）各電極には図に示したステップ電圧  $V_1, V_2, V_3, V_4$  が印加されている。従って、

- (a)  $t < 0$  では、 $G_2$ の電位が最も高く、信号電荷はこの下にたまる。
- (b)  $t = 0$  では、 $G_2$ から $G_4$ へ最高電位が変化し、電荷の転送が始まる。
- (c)  $t > 0$  では、電荷はほぼ転送され、 $G_4$ の下に信号電荷がたまっている。



第3.2.1図 CCDの電荷転送動作説明図

Nチャネル形のCCDでは信号電荷は可動電子であり、第一次近似として、可動ホール濃度が極めて小さく ( $n_h \ll n_e, N_{space}$ )、しかも、発生率 ( $G$ ) と再結合率 ( $R$ ) が十分に小さいと仮定する。

### 3.2.2 $G, R$ の影響が無視できる場合の電荷転送 [3.12], [3.13]

(1) 第一に、転送動作開始直後の、 $n_e$  が大きい領域 (第3.2.1図のポテンシャル図(b)中のハッチングを施した領域) での可動電子の振る舞いを考察する。この領域は可動電子の存在の有無に関係なく電界が0に近い。何等かの理由でこの領域の一箇所では  $n_e$  が変化する (インスタビリティが発生する) 場合、一様性を回復するように可動電子が移動する。

$$\Phi = \Phi_0 + \phi(\Delta n) \approx \Phi_0 - e \Delta n / C^+ \quad (3.7)$$

但し、 $n_e = n_0 + \Delta n$ 、 $\Phi_0, n_0$  は一様な分布時のポテンシャルおよび可動電子の密度、 $C^+$  は自己誘導電位を等価的に表す容量である。[3.12]

また、空間的には転送方向 ( $x$  方向) のみを考え、 $\partial \Phi_0 / \partial x \approx 0$  かつ、 $\Delta n$  の変動が  $\Delta x$  の範囲で起こっている場合、(3.2) (3.5) から次の式を得る。

$$\begin{aligned}\partial \Delta n / \partial t &\approx -n_0 \mu_0 (e \Delta n / C^+ \cdot \Delta x^2) - D_0 (\Delta n / \Delta x^2) \\ &= -\Delta n (n_0 \mu_0 e / C^+ \cdot \Delta x^2 + D_0 / \Delta x^2)\end{aligned}\quad (3.8)$$

ここで、各パラメータに、第3.2.1表で示すような実際的な数値を代入してみる。

第3.2.1表 表面チャネル形CCDと埋込みチャネル形CCDの典型的な  
パラメータ一覧

項目	表面チャネル形CCD	埋込みチャネル形CCD
$n_0$	$1.0 \times 10^{12} / \text{cm}^2$	$2.0 \sim 3.0 \times 10^{11} / \text{cm}^2$
$\mu_0$	$400 \sim 600 \text{cm}^2 / \text{V sec}$	$800 \sim 1000 \text{cm}^2 / \text{V sec}$
$e / C^+$	$4.4 \times 10^{-12} \text{V cm}^2$	$2.0 \times 10^{-11} \text{V cm}^2$
$\Delta x^2$	$10^{-7} \text{cm}^2$	$10^{-7} \text{cm}^2$
$D_0$	$15.6 \text{cm}^2 / \text{sec}$	$26.0 \text{cm}^2 / \text{sec}$

従って、表面チャネル形CCDでは(3.9)、埋込みチャネル形CCDでは(3.10)となる。

$$\partial \Delta n / \partial t \approx -\Delta n (2.64 \times 10^{10} + 1.56 \times 10^8) / \text{sec} \quad (3.9)$$

$$\partial \Delta n / \partial t \approx -\Delta n (4.0 \times 10^{10} + 2.6 \times 10^8) / \text{sec} \quad (3.10)$$

各々、右辺第一項の逆数の時定数 ( $\tau_{DS}$ ,  $\tau_{DB}$ ) で一様性を回復する。(これらの時定数は通常、誘電緩和時間と呼ばれる。) 各数値を代入すると、下記のようになり、非常に短時間である。

$$\tau_{DS} \approx 38 \text{psec}, \quad \tau_{DB} \approx 25 \text{psec}$$

次に、ポテンシャル図 (b) におけるゲート  $G_2$  と  $G_3$  の境界での可動電子の振る舞いを考える。この部分では元々大きな電界が存在する。(3.2) (3.7) から次の式を得る。[3.13]

$$(1/e) J_0 = (n_0 \mu_0 / \Delta x) \cdot (\Delta \Phi_0 - e \Delta n / C^+) - D_0 (\Delta n / \Delta x) \quad (3.11)$$

この式に実際の数値例として表面チャネル形CCDの場合の、 $(n_0)$ ,  $(-\Delta n) \approx 1/2 n_0$ ,  $\Delta x \approx 10^{-4} \text{cm}$ ,  $\Delta \Phi_0 \approx 1 \text{V}$  を代入すると、可動電子流出 (インスタビリティ) の速度として、次の式を得る。

$$(1/e) J_0 = 3 \times 10^8 \cdot n_0 \cdot (1.0 + 2.2 \times 10^{-12} n_0) + 1.6 \times 10^5 \cdot n_0 \quad (3.12)$$

以上をまとめ、図の (b) から (c) までの変化では、ゲート  $G_2$  下にある電荷は、ゲート  $G_3$  との境界点におけるインスタビリティを緩和するように移動し、この領域の平均濃度  $n_0$  が初期値の  $1/100$  程度になるまで一様性を保ちながら減少する。ゲート  $G_2$  の長さを  $L_{G2}$  とすると、平均濃度  $n_0$  の時間変化は次の式で表される。

$$d(L_{G2} n_0) / dt \approx -3 \times 10^8 \cdot n_0 \cdot (1.05 + 2.2 \times 10^{-12} n_0) \quad (3.13)$$

この微分方程式を、初期条件:  $n_0 = n_{01}, (t=0)$  で解くと、次の結果を得る。

$$1/n_0 = (1/n_{01} + 2.1 \times 10^{-12}) \exp[(3.15 \times 10^9 / L_{G2}) t] - 2.1 \times 10^{-12}$$

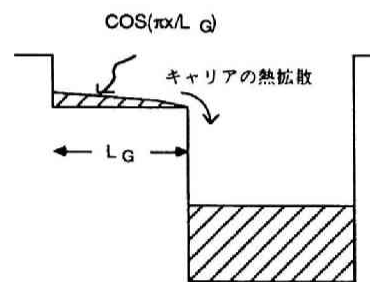
従って、 $n_{01} = 1.0 \times 10^{12} \text{ cm}^{-2}$ ,  $L_{G2} = 10^{-3} \text{ cm}$  の時、 $n_0$  が  $1/100 n_{01}$  になる時間  $T_1$  は、 $T_1 = 1.1 \text{ nsec}$  である。埋込みチャネル形 CCD の場合でもほぼ同様な時間で 99% の可動電子がゲート  $G_3$  の方へ転送される。

(2) 第二に、 $n_0$  が小さくなった後の転送動作を考える。この場合は、 $n_0$  が大きい時とは逆に (3.7) における  $[e \Delta n / C^+]$  の項が小さく、 $[\partial \Phi_0 / \partial x (= -E_0)]$  がむしろ重要になる。(3.2), (3.5), (3.7) より

$$\begin{aligned} \partial n_0 / \partial t &= \partial (n_0 \mu_0 \partial \Phi / \partial x + D_0 \partial n_0 / \partial x) / \partial x \\ &\approx -\mu_0 E_0 \partial n_0 / \partial x + D_0 \partial^2 n_0 / \partial x^2 \end{aligned} \quad (3.14)$$

ただし、 $e \Delta n / C^+$ ,  $\partial^2 \Phi_0 / \partial x^2 \approx 0$  を仮定する。

一般に、表面チャネル形 CCD では  $E_0$  が小さく、(3.14) の右辺第一項を無視できる。逆に、埋込みチャネル形 CCD では  $E_0$  が大きく、同式右辺第二項を無視できる。従って、表面チャネル形 CCD の場合の式は最も単純な粒子の拡散方程式となり、転送動作の概略は、第 3.2.2 図のような可動電子分布モデルに対して次の境



第 3.2.2 図 表面チャネル形 CCD の可動電子転送 (熱拡散)

界条件と初期条件を仮定することによって導くことができる[3.14]。表面チャネルCCDの場合、ゲート長がかなり短くなっても $E_0$ は小さく、約 $2\mu\text{m}$ のものでも近似が成り立つ[3.15]。

$$\begin{aligned} n_0 &= \sum_i f_i(t) \cos(\omega_i x) \quad i=1 \sim \infty, \quad \omega_i = i\pi/2L_0 \\ \partial n_0 / \partial x |_{x=0} &= 0, \quad n_0 |_{x=L_0} = 0, \quad |f_1(t)| \gg |f_i(t)| \quad i=2 \sim \infty \\ n_0 &\approx f_1(t) \cos(\omega_1 x) = n_0 \exp[-t/\tau_{tr}] \cos(\omega_1 x) \quad (3.15) \\ \tau_{tr} &= D_0 \omega_1^2 = D_0 (\pi/2L_0)^2 \end{aligned}$$

従って、 $L_0 = 1.0 \times 10^{-3} \text{cm}$ のとき、 $\tau_{tr} = 26.0 \text{nsec}$ であり、 $f_1(T_2) = 1/100 f_1(0)$ となる $T_2$ を転送完了時間とすれば、 $T_2 = 4.6 \tau_{tr} = 120 \text{nsec}$ となる。

一方、埋込みチャネル形CCDの場合の式は、相互作用のない可動電子の集合が電界 $E_0$ （通常フリンジ電界と呼ばれている）によってドリフトしていく状態（ $n = n(t-x/\mu_0 E_0)$ 、第3.2.3図を参照）を表しており、この時の転送終了時間 $T_2$ は、可動電子のドリフト速度を $v$ とすると、次の式で計算される。

$$T_2 = \int_0^{L_0} (1/v) dx = \int_0^{L_0} (1/\mu E_0) dx \quad (3.16)$$

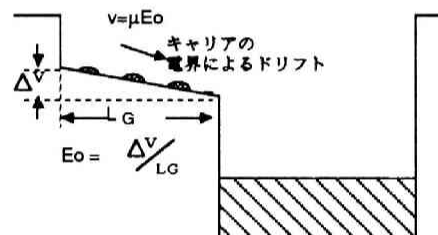
埋込みチャネル形CCDの電位分布や電界分布については次節で詳しく解析するが、例えば、

$E_0 \approx 200 \text{V/cm}$ （一様）、

$L_0 = 1.5 \times 10^{-3} \text{cm}$ の時には、

$T_2 = 7.5 \text{nsec}$ となる。

以上のことから、第3.2.1図のような理想的なステップ波電圧が印加された場合、可動電子のうち99.99%以上が $T_1 + T_2 (= T_0)$ 時間の後に次のゲートに転送される。



第3.2.3図 埋込みチャネル形CCDの可動電子転送（電界によるドリフト）

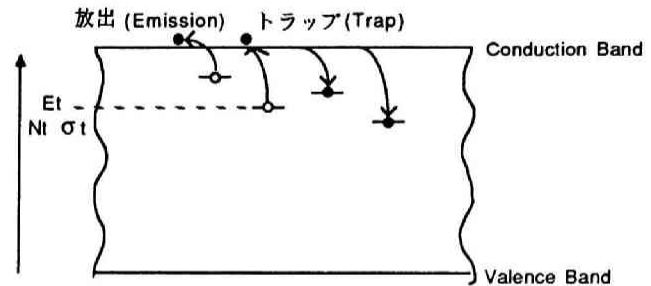
通常、CCDは2相のクロックで駆動されるので周波数が $1/2T_0$ よりも低い場合には損失のない転送が可能である。即ち、非転送効率 $\varepsilon$ を $10^{-4}$ 程度の値に抑えるためには、 $(2T_0)^{-1}$ が駆動クロックの上限周波数である。ただし、 $10 \text{MHz}$ 以上の周波数の場合、クロック波形の理想的なステップ波からのずれが無視できなくなるので、クロック駆動の上限周波数はこれよりかなり低下する。



### 3.2.3 G, Rの影響が無視できない場合の転送特性

可動電子の発生および消滅  
(再結合) は、ほとんどがエネルギーバンド間の中間準位  
(センター) を介して行われる。

中間準位は色々な原因で生じた完全結晶からの乱れによるもので、MOS構造では、特に絶縁膜と半導体との界面における結晶性の乱れによる中間準位(界面準位)の密度が大きい。



第3.2.4図 中間準位と可動電荷

エネルギーが  $E_t$  の中間準位  
密度を  $N_t$ 、衝突断面積を  $\sigma_{nt}$ 、  
電子の熱運動速度を  $v_{th}$ 、この  
中間準位の占有確率を  $f_t$ 、真  
性半導体のフェルミ準位と可動

電子密度を各々  $E_i, n_i$  とすると、G, R に対して次の式が成り立つ [3.16]。(サフィックス "t" は中間準位を意味し、時間 "t" とは異なる。 第3.2.4図を参照)

$$R = \sum_i d(N_t f_t)/dt = \sum_i v_{th} \sigma_{nt} n_i N_t (1 - f_t) \quad (3.17)$$

$$G = \sum_i d\{N_t(1-f_t)\}/dt = \sum_i v_{th} \sigma_{nt} n_i \exp[(E_t - E_i)/kT] N_t f_t \quad (3.18)$$

これらの式を使ってCCDの転送動作に対するG, Rの影響を解析する[3.17], [3.18], [3.19]。

ここで、周波数  $f_{ok}$  (周期  $T_{ok} > 80\text{nsec}$ ) の2相クロックで駆動し、可動電子密度  $n_{sig}$  のパケットが  $N_a$  個と密度0の空パケットが  $N_b$  個が交互に繰り返し転送される場合を考える。(第3.2.6図参照)

まず、可動電子の消滅現象 (R) では、 $n_{sig} \gg \sum_i N_t$ 、 $t$  の初期値 = 0 とし、(3.17)から

$$df_t/dt = v_{th} \sigma_{nt} n_o (1 - f_t), \quad f_t = 1 - \exp[-t/\tau_R] \quad (3.19)$$

数値として、 $v_{th} \approx 10^7 \text{cm/sec}$ ,  $\sigma_{nt} \approx 10^{-15} \text{cm}^2$ ,  $n_{sig} \approx 10^{18} \text{cm}^{-3}$ 、を代入すると、

$$\tau_R = 1 / v_{th} \sigma_{nt} n_o \approx 10^{-8} \text{sec}$$

ここで想定したCCD応用 (通常のビデオ信号処理  $f_{ok} \leq 20\text{MHz}$ ) では、クロック周期 ( $T_{ok}$ )

の1/2よりも時定数  $\tau_R$  の方が短い。従って、密度  $n_{sig}$  の可動電子パケットの第1番目が転送されてきた時、それだけで80%以上の中間準位に可動電子がトラップされた状態になる。

同様に、可動電子の生成現象 (G) を考える。クロックに合わせて高密度 ( $n_{sig}$ ) の可動電子パケットが連続して  $N_a$  個転送された後、空パケット (0) が  $N_b$  個転送され始めるとき次のようになる。(即ち、 $n_e \approx 0$ ,  $f_t \approx 1$  at  $t=0$ )

$$f_t = \exp[-t/\tau_g], \quad \tau_g = 1 / v_{th} \sigma_{nt} n_i \exp[(E_t - E_i)/kT] \quad (3.20)$$

時定数  $\tau_g$  は中間準位のエネルギー  $E_t$  に関係している。半導体としてシリコンを使った CCD の場合、コンダクションバンド端  $E_c$  から 200mV 以内の比較的浅い準位は最後の高密度の可動電子パケットの転送時すぐトラップから放出され、同時に次ゲートへ転送されるので問題ないが、より深い中間準位にトラップされた可動電子の多くはその場に取り残され、長い時間をかけて徐々に放出される。 $T_0$  秒後までに放出される可動電子の総数  $N_{emit}(T_0)$  は、(3.20) から

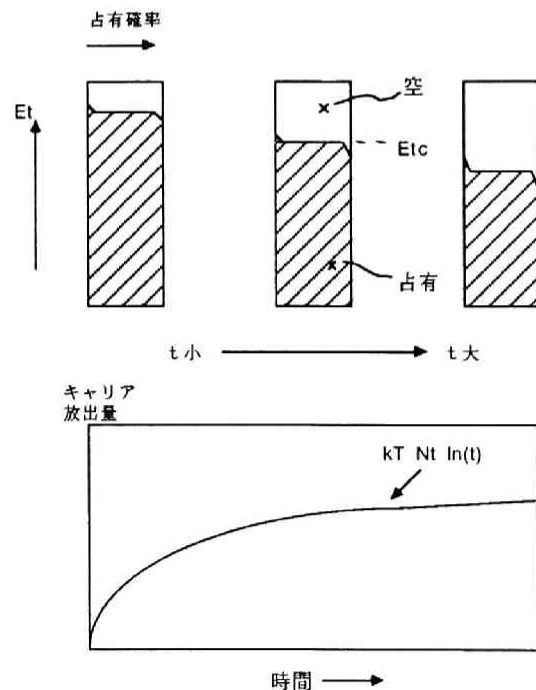
$$N_{emit}(T_0) = \int N_t (1 - \exp\{-T_0 v_{th} \sigma_{nt} n_i \exp[(E_t - E_i)/kT]\}) dE_t \quad (3.21)$$

また、この時の中間準位の占有確率分布は、或エネルギー準位を境にしてそれより浅い中間準位はほとんど空になっており、より深い中間準位は占有されたままになっている。このようなクリティカルなエネルギー準位  $E_{tc}$  は次の式で表される。

$$E_{tc} = E_i - kT \ln(T_0 v_{th} \sigma_{nt} n_i) \quad (3.22)$$

$\sigma_{nt}$ ,  $N_t$  がエネルギー準位に対して一様であり、  
 $\sigma_{nt} = 10^{-15} \text{cm}^2$ ,  $N_t = 10^{14} \text{cm}^3/\text{eV}$  を仮定すると、放出電子数  $N_{emit}(T_0)$  は(3.23)のようになる。  
 また、転送動作中の電荷のトラップ、 $E_{tc}$ 、 $N_{emit}$  の概要を図示すると、第3.2.5図のようになる。

従って、周期  $T_{ck}$  の 2 相クロックで駆動した場合、 $T_{ck}/2$  から  $3T_{ck}/2$  までに放出される可動電子が最初の空パケットの領域に流入する。この量は、(3.24)より求められ、同様に、第  $m$  番目の空パケットの領域に



第3.2.5図 中間準位からの可動電子の放出

流入する可動電子も (3.25) の様に求められる。

$$N_{emit}(T_0) \approx kTN_t \ln(T_0) + N_{t0}(T_0 > 10^{-12} \text{sec}) \quad (3.23)$$

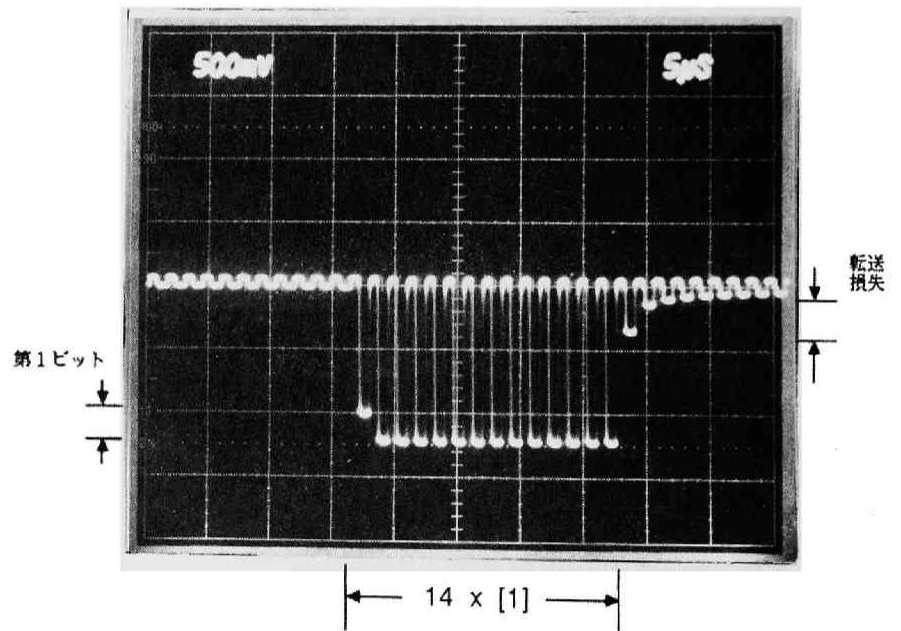
$$N_{L1} = kTN_t \ln(3T_{ok}/2) - kTN_t \ln(T_{ok}/2) = kTN_t \ln(3) \approx 0.028N_t \quad (3.24)$$

$$N_{Lm} = kTN_t \ln[(2m+1)/(2m-1)] \approx 0.013N_t, 0.0087N_t, \dots (m=2, 3, \dots) \quad (3.25)$$

以上の解析の結果から、可動電子密度  $n_{sig}$  のパケットが  $N_a$  個と、密度 0 の空パケットが  $N_b$  個が繰り返し転送される場合、第 1 番目の「 $n_{sig}$  パケット」の可動電子の一部分が転送の直前まで空位であった中間準位にトラップされる。しかし、この内の多くのものはこのパケットの転送動作時に直ちに放出され、転送損失にならない。このパケットの実質的な転送損失  $N_{LTOTAL}$  は (3.26) で与えられる。

$$N_{LTOTAL} = \sum_{m=1}^{N_b} N_{Lm} = kTN_t \ln(2N_b + 1) \quad (3.26)$$

通常の CCD 動作では、第 1 番目の「 $n_{sig}$  パケット」によって中間準位がほぼ全部占有されているため、第 2 番目以降のパケットでは転送損失が殆ど発生しない。一方、一連の「 $n_{sig}$  パケット」が通過した後、転送から取り残された可動電子が徐々に放出される。こちらは、(3.24), (3.25) から分かるように、転送損失の影響が長く続く。参考までに、実際の素子における G-R による転送損失の測定結果を第 3.2.6 図に示す。



第3.2.6図 CCDの転送特性測定結果

G-R による転送損失の特徴的な事は、前述の転送時間が間に合わない場合と異なり、信号電荷密度  $n_{sig}$  と無関係に損失量が決まることである。しかし、以降の解析を進める上で、この性質は不便なため、信号電荷密度  $n_{sig}$  をある大きさに固定して、それと転送損失との比

$(N_{LTOTAL}/n_{sig}) = \varepsilon$  を非転送効率と定義し、これを  $n_{sig}$  によらない値として扱う。

### 3.2.4 多段転送後のCCD総合周波数特性

CCDでアナログ信号を処理する場合、クロック周波数 (fck) でサンプリングされているので、信号帯域は元々  $0 \sim 1/2 f_{ck}$  しかないが、各転送で  $\varepsilon n_{sig}$  の損失があると (但し、 $\varepsilon$ : 非転送効率)、更に帯域が減少する。転送段数を Nst とすると、出力信号周波数特性  $n_{out}(f)$  は

$$n_{out}(f) \approx n_{sig}(f) \exp[Nst \varepsilon \{1 - \cos(2\pi f_{sig}/f_{ck})\}] \quad (3.27)$$

( $\because$  1 段の転送において、出力信号とそのフーリエ変換を  $n_{out}(t)$ ,  $n_{out}(f)$ )

入力信号とそのフーリエ変換を  $n_{in}(t)$ ,  $n_{in}(f)$  とすると、次の式が成り立つ [3.20]。

$$n_{out}(t) = (1 - \varepsilon) n_{in}(t) + \varepsilon n_{in}(t - \Delta) \quad \Delta = 1/f_{ck}$$

$$n_{out}(f) = n_{in}(f) - \varepsilon n_{in}(f) \{1 - \exp[j2\pi f/f_{ck}]\}$$

$$\approx n_{in}(f) \exp[-\varepsilon \{1 - \cos(2\pi f/f_{ck})\}]$$

$$n_{out}(f) = (v_{out}/v_{in}) Nst \cdot n_{sig}(f)$$

上式で位相部分を無視すれば、(3.26)になる。)

実際の CCD 応用では、この CCD 本体の特性以外に入力回路、出力回路 (特にサンプルホールド回路) の影響があり、周波数特性は更に劣化する。また、転送段数 Nst は通常 1000~4000 程度であるので、ナイキスト周波数 ( $1/2 f_{ck}$ ) まで大きな支障なく信号処理が可能なのは、非転送効率  $\varepsilon$  が次の様に充分小さくなければならない。

$$\exp[-Nst \varepsilon \{1 - \cos(2\pi f_{sig}/f_{ck})\}] > 1/\sqrt{2}, \quad (0 < f_{sig} < 1/2 f_{ck})$$

$$\varepsilon < 0.17/Nst \approx 10^{-5} \sim 10^{-4} (\text{/stage})$$

表面チャネル形 CCD および埋込みチャネル形 CCD で、この様な非転送効率を実現することを考える。ゲート長、不純物密度等の CCD 構造パラメータに対して、前述の解析から、第3.2.2表に示すように、駆動クロック周波数および中間準位密度に上限値が存在する。

この表から、表面チャネル形 CCD には問題点が二つある事が分かる。

第一に、中間準位密度 ( $N_t$ ) を低く抑える必要がある点である。一般に、表面チャネル形 CCD では、 $10^{10} \text{ cm}^{-2}$  以下という極めて低密度を実現することは困難であり、1000段以上の CCD の場合、いわゆる「Fat Zero」手法を使って等価的に転送損失を低減させることが行われる。この方法は、前述の信号電荷のない空パケットをなくし、常にバイアス電荷が存在する状態で使用するもので、中間準位にトラップされた可動電子の放出が妨げられるので、非転送効率は1桁から

2桁程度改善され、 $10^{-4}$ 前後が実現できる。(第3.2.7図参照) 一方、埋込みチャネル形CCDでは低欠陥製造工程により、この表の中間準位密度は実現できるので、4000段以上のCCDで高精度を要求するような場合以外は、通常、「Fat Zero」手法を用いないでよい。

第3.2.2表 表面チャネル形CCDおよび埋込みチャネル形CCDの構成例と概略転送特性

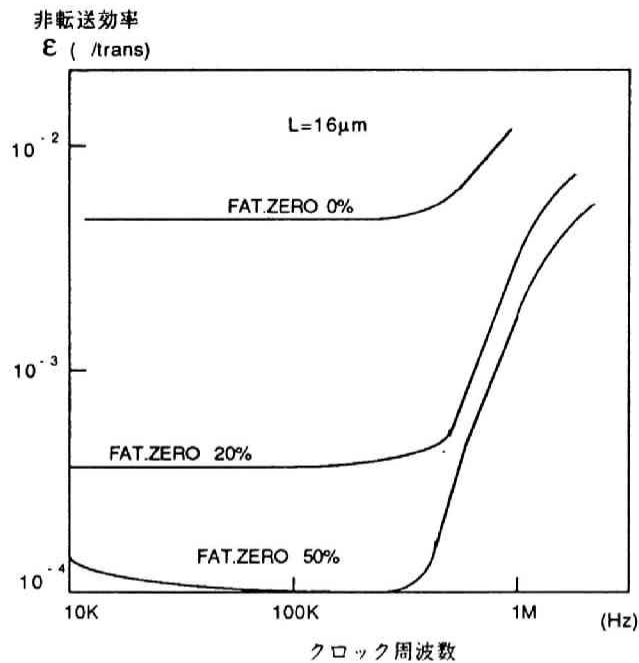
	表面チャネル形CCD	埋込みチャネル形CCD
ゲート長	$10\mu\text{m}$	$10\mu\text{m}$
不純物密度	$2 \times 10^{15}\text{cm}^{-3}$ (P-SUB)	$3 \times 10^{15}\text{cm}^{-3}$ (N-WELL)
信号電荷密度	$10^{12}\text{cm}^{-2}$	$10^{11}\text{cm}^{-2}$
入力最低周波数	$10^{-3}\text{fck}$	$10^{-3}\text{fck}$
クロック周波数	4MHz以下	40MHz以下
中間準位密度	$10^9\text{cm}^{-2}$ 以下	$2 \times 10^{12}\text{cm}^{-3}$ 以下

第二に、表面チャネル形CCDでは扱える信号周波数が低く、ビデオ帯域の信号処理ができないことが問題である。

CCDの現在の最大応用分野であるイメージセンサでは、低速並列動作の垂直転送部と高速直列動作の水平転送部からなり、水平転送部ではビデオ帯域までの周波数特性が必要であり、垂直転送部ではもし Fat Zero 手法を用いる場合は並列の各CCDに等量のバイアス電荷を供給する必要がある。表面チャネル形CCDではこれらの要請を十分に満たすことができないので、イメージセンサ応用では通常埋込みチャネル形CCDが使われている。

一方、表面チャネル形CCDは扱える信号電荷量が大きく、入出力回路部の雑音の影響が少ないので、音声帯域の信号処理応用（フィルタ等）に使用される。

本論文では、応用面から見て、より重要性が高く、しかも構造が複雑な埋込みチャネル形CCDを中心に扱う。



第3.2.7図 表面チャネル形CCDにおける Fat Zeroの影響

### 3.3 CCD内部ポテンシャルの数値解析

この節では、埋込みチャネル形CCDで転送可能な最大信号電荷量 (S.H.C) と、前節で述べた転送特性を定量的に評価するために、素子内部のポテンシャルと電界分布を数値解析する。従来、CCDの内部ポテンシャルの解析は、差分法等 [3.21] のように繰り返し計算で収束させるものが多かった。また、グリーン関数による解法として、点電荷と鏡像法の級数で解析することも行われているが [3.22]、境界条件が単純なものにしか適用しにくいという欠点がある。ここで用いる方法は [3.23]、まずMOS構造のグリーン関数を無限級数（フーリエ級数）の形で求めて、これをCCD構造に適用するものである。従って、従来の方法のように1つの方程式を解くだけのために繰り返し計算する必要もなく、境界条件も自由度が高いため、或る程度複雑な形状の素子に対しても適用でき、極めて短い時間で精度の高い計算結果を得ることができる。

#### 3.3.1 基本方程式と近似

前節で記述した基本方程式を再録する。

$$\nabla^2 \Phi = -e N(x, y, z) / \epsilon, \quad N = N_{\text{doped}} - n_e + n_h \quad [\text{Poisson}] \quad (3.1)$$

$$J_e = -n_e e \mu_e \nabla \Phi + e D_e (\nabla n_e) \quad [\text{電子電流連続}] \quad (3.2)$$

$$J_h = -n_h e \mu_h \nabla \Phi - e D_h (\nabla n_h) \quad [\text{ホール電流連続}] \quad (3.2)$$

$$J_{\text{total}} = J_e + J_h \quad [\text{全電流連続}] \quad (3.4)$$

ただし、 $J_e$ 、 $\mu_e$ 、 $D_e$ 、 $J_h$ 、 $\mu_h$ 、 $D_h$  は各々電子およびホールの電流密度、移動度、拡散係数である。

$$\partial n_e / \partial t = (1/e) \nabla \cdot J_e + G_e - R_e \quad [\text{電子の連続}] \quad (3.5)$$

$$\partial n_h / \partial t = -(1/e) \nabla \cdot J_h + G_h - R_h \quad [\text{ホールの連続}] \quad (3.6)$$

但し、 $G_e$ 、 $R_e$ 、 $G_h$ 、 $R_h$  は各々電子およびホールの単位時間当りの発生率と再結合である。

ここで、実用上問題ない範囲で解析を簡単にするために次の近似を行う。

(1)空間を、 $(x, y)$  の2次元とする。(但し、電荷転送方向を  $x$ 、素子の深さ方向を  $y$ )

(2)CCDはNチャネル形とし、ホール( $n_h$ )を無視する。

(3)第一近似として、電荷の生成( $G$ )、再結合( $R$ )を無視する。

また、CCD動作の解析では、概ね電流が少ない場合が問題になるので、スタティックな場合を考える。即ち、

$$\partial n / \partial t = -n_e e \mu_e \nabla \Phi + e D_e (\nabla n_e) \approx 0 \quad (3.28)$$

従って、式(3.1)と式(3.28)とを連立して、例えば  $n_e$  について解けばよいように考えられるが、少なくとも数値解析を行う場合、この連立方程式を解くことは非常な困難を伴う。これは、 $n_e$  が  $\Phi$  の指数関数 ( $n_e \sim \exp[e\Phi/kT]$ ) で表され、極めて非線形性が高いので、計算が発散したり、誤差が大きくなるためである。そこで、更に、

(4)空乏層近似を行う。

即ち、自由な空間電荷 ( $n_e$  から面電荷を除いたもの) が存在する場所では電界はなく、ドナーやアクセプタ等の固定空間電荷と自由な空間電荷とが打ち消し合い、実効的な電荷  $N$  は零になっているという近似。この近似の正当性は文献[3.24]に詳しい。また、CCDの1次元解析では空乏層近似を有効に使った例がある[3.25]。

以上、4種類の近似を使って次の手順で連立方程式を解く

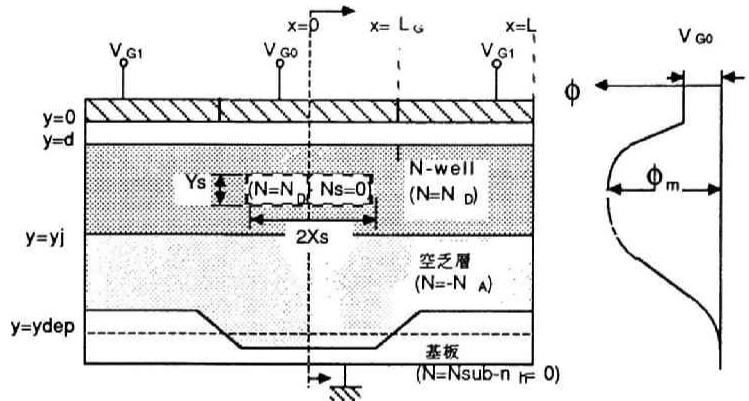
(a) まず、ある可動電荷の分布を仮定して2次元のポアソンの方程式(3.29)を解き、

$$\partial^2 \Phi / \partial x^2 + \partial^2 \Phi / \partial y^2 = -e N(x, y) / \epsilon \quad (3.29)$$

(b) 次に、この可動電荷の分布している領域の電界をしらべて、零でない場合は分布を修正して (a) に戻る。この繰り返しにより、自己矛盾のない可動電荷分布と、ポテンシャル分布を計算する。

### 3.3.2 境界条件

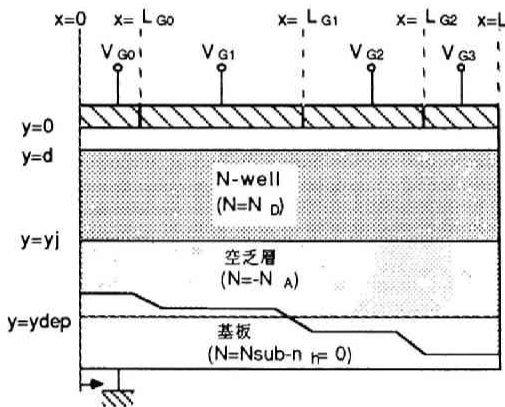
次に、ポアソン方程式 (3.29) を解くための境界条件について考える。CCDの構造は第3.3.1図に示したごとく、電荷の転送方向を  $x$ 、深さ方向を  $y$  とし、 $x$  方向には複数の電極があり、 $y$  方向に電極 ( $y \leq 0$ )、シリコン酸化膜 ( $0 < y \leq d$ )、N-well層 ( $d < y \leq y_j$ )、P基板 ( $y_j < y$ 、但し  $y_j < y \leq y_{dep}$  は空乏層) がある。



(a) 信号電荷計算の場合

〔境界条件1〕  $x$  方向は、 $-L \leq x \leq L$  の範囲とし、しかも全ての変数は  $x=0$  を中心にして対称とする。(周期境界条件；この仮定はCCDの繰り返し構造から来るもので、 $L$  をある程度以上大きくとれば如何なる構造のものも含むので、CCDを解析する上で一般性を失うものではない)

〔境界条件2〕  $y$  方向は、 $y=0$ 、 $y=d$ 、 $y=y_{dep}$  で、各々次の境界条件が成り立つ



(b) ドリフト電界計算の場合

第3.3.1図 ポアソンの方程式を解くためのCCD構造モデル

$$y=0, \quad \Phi = V_G(x) \quad (3.30)$$

但し、フラットバンド電圧  $V_{FB}$  は  $V_G$  に含まれているものとする。

$$y=d, \quad \Phi|_{y=d-0} = \Phi|_{y=d+0}, \quad (3.31)$$



$$\varepsilon_{0x} \partial \Phi / \partial y \big|_{y=d-0} = \varepsilon_{s1} \partial \Phi / \partial y \big|_{y=d+0} \quad (3.32)$$

$$y = y_{dep}, \quad \Phi = 0 \quad (3.33)$$

$$\partial \Phi / \partial y = 0 \quad (3.34)$$

但し、空乏層の深さ  $y_{dep}$  は厳密に言うと  $x$  の関数であるが、 $y = y_{dep}$  付近では  $\Phi$ 、 $\partial \Phi / \partial y$  とともに 0 に近いので、以後の解析では平均の空乏層深さを  $y_{dep}$  とし、 $x$  の関数とは見なさない。

### 3.3.3 解法

$x$  方向の境界条件 1 により、全ての変数は原点对称であり、フーリエの COS 級数に展開が可能である。

$$\Phi(x, y) = \sum_n v_n(y) \cos(\omega_n x) \quad (3.35)$$

$$e N(x, y) / \varepsilon = \sum_n f_n(y) \cos(\omega_n x) \quad (3.36)$$

$$V_g(x) = \sum_n b_n(y) \cos(\omega_n x) \quad (3.37)$$

$$\{ n = 0 \sim \infty, \quad \omega_n = n \pi / L \}$$

但し、各係数は形式的に次のように表せる。

$$v_n(y) = e_n / 2L \int_{-L}^L \Phi(x, y) \cos(\omega_n x) dx \quad (3.38)$$

$$f_n(y) = e_n / 2L \int_{-L}^L e N(x, y) / \varepsilon \cos(\omega_n x) dx \quad (3.39)$$

$$b_n(y) = e_n / 2L \int_{-L}^L V_g(x) \cos(\omega_n x) dx \quad (3.40)$$

$$\{ e_0 = 1, \quad e_n = 2 \quad (n > 1) \}$$

(3.35), (3.36), (3.37) を (3.29), (3.30), (3.31), (3.32), (3.33), (3.34) に代入すると、次の常微分方程式とその境界条件を得る。

$$d^2 v_n / dy^2 - \omega_n^2 v_n = -f_n \quad (3.41)$$

$$v_n(0) = b_n \quad (3.42)$$

$$v_n(y_{dep}) = 0 \quad (3.43)$$

$$v_n'(y_{dep}) = 0 \quad (3.44)$$

$$v_n(d-0) = v_n(d+0) \quad (3.45)$$

$$v_n'(d-0) = \kappa v_n'(d+0) \quad (3.46)$$

$$\kappa = \varepsilon_{s1} / \varepsilon_{0x}$$

(3.41) は  $f_n = 0$  を代入した場合の一般解と、1 つの特解の和により求めることができ、次の

ようになる。[3.26]

$$v_n^{(0)} = b_n \{ r_n \text{SH}_n(y) + \text{CH}_n(y) \} \cdot \exp(\omega_n y) \quad (3.47)$$

$$(0 \leq y < d)$$

$$v_n^{(1)} = \alpha_n \text{SH}_n(y_{dep} - y) \cdot \exp[\omega_n(d - y)]$$

$$- \beta_n \{ \text{SH}_n(y_{dep} - y) \int_d^y f_n \text{SH}_n(\eta) \cdot \exp[\omega_n(\eta - y)] d\eta$$

$$+ \text{SH}_n(y) \int_y^{y_{dep}} f_n \text{SH}_n(y_{dep} - \eta) \cdot \exp[\omega_n(y - \eta)] d\eta \} \quad (3.48)$$

$$(d \leq y \leq y_{dep})$$

但し、

$$\text{SH}_n(y) = \exp(-\omega_n y) \cdot \sinh(\omega_n y) / \omega_n \quad (n \geq 1)$$

$$y \quad (n = 0)$$

$$\text{CH}_n(y) = \exp(-\omega_n y) \cdot \cosh(\omega_n y) \quad (n \geq 1)$$

$$1 \quad (n = 0)$$

(3.48) の第2項の積分はポアソンの式に対するグリーン関数に他ならない。[3.26]

係数  $\alpha$ ,  $\beta$ ,  $r$  および、空乏層深さ  $y_{dep}$ , 自由電荷（信号電荷） $n_e$  が存在する場合の分布（矩形の電荷分布を仮定している）等は、付録1に示したように、全て境界条件より求めることができる。各係数は次の様になる。

$$\alpha_n = z_n \{ b_n \exp(-\omega_n d) - (\theta_n / 2)(\kappa - 1) \text{SH}_n(2d) \} \quad (3.49)$$

$$\beta_n = 1 / \text{SH}_n(y_{dep}) \quad (3.50)$$

$$r_n = -z_n \{ (\kappa - 1) \text{CH}_n(d) \text{CH}_n(y_{dep} - d) + \text{CH}_n(y_{dep})$$

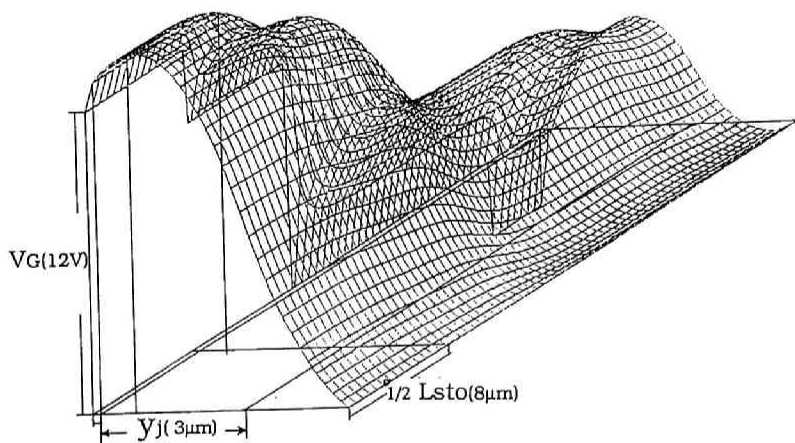
$$+ (\kappa \theta_n \exp(-\omega_n d) / b_n) \text{SH}_n(y_{dep}) \} \quad (3.51)$$

但し、 $z_n = 1 / \{ \text{SH}_n(y_{dep}) + (\kappa - 1) \text{CH}_n(y_{dep} - d) \text{SH}_n(d) \}$

$$\theta_n = \beta_n \int_d^{y_{dep}} f_n \text{SH}_n(y_{dep} - \eta) \cdot \exp[\omega_n(d - \eta)] d\eta$$

#### 3.3.4 解析結果1. —ポテンシャル分布—

素子寸法と不純物濃度が異なる2種類の埋込みチャネル形CCDについて、前述の方法を使って計算したポテンシャル分布を、第3.3.2図および第3.3.3図に示す。



(a) 信号電荷が無い場合 ( $N_{ssig}=0$ )

$$d_{ox}=0.16\mu m$$

$$y_j=3.0\mu m$$

$$N_a=1.5\times 10^{15}/cm^3 \text{ (Substrate)}$$

$$N_d=2.0\times 10^{15}/cm^3 \text{ (Nwell)}$$

$$y_{dep}=5.07\mu m$$

電荷蓄積ゲート (Gate-ST0, ST1)

(実際に電荷はGate-ST0

に蓄積される)

$$L_{ST}=16\mu m$$

$$V_{ST0}=12V$$

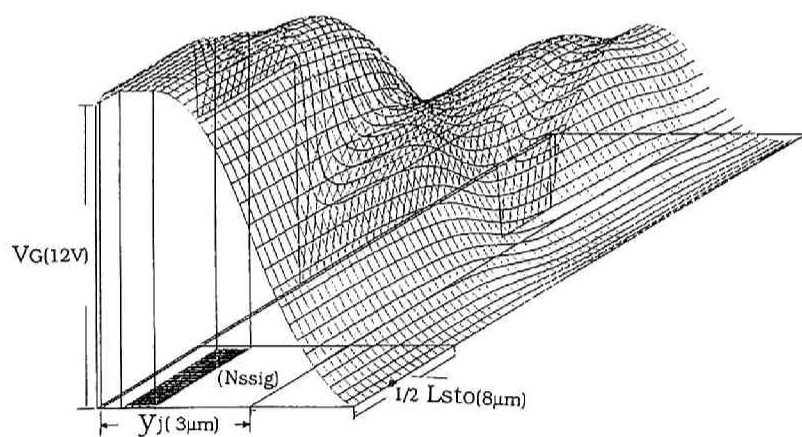
$$V_{ST1}=0V$$

電荷転送ゲート (Gate-TR0, TR1)

$$L_{TR}=8\mu m$$

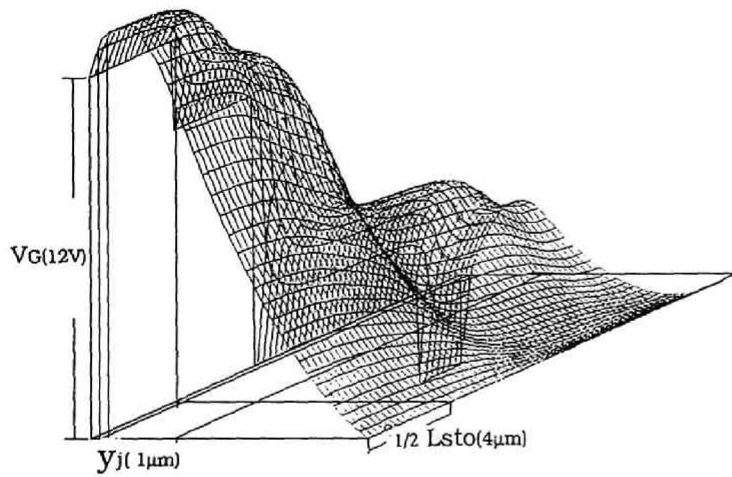
$$V_{TR0}=9V$$

$$V_{TR1}=-8V$$



(b) 信号電荷がある場合 ( $N_{ssig}=1.25\times 10^{11}/cm^2$ )

第3.3.2図 深い N-well( $y_j=3.0\mu m$ )を持った CCD の 2 次元ポテンシャル分布



(a) 信号電荷が無い場合 ( $N_{sig}=0$ )

$$d_{ox}=0.16\mu m$$

$$y_j=1.0\mu m$$

$$N_a=1.5 \times 10^{15}/cm^3 \text{ (Substrate)}$$

$$N_d=7.50 \times 10^{15}/cm^3 \text{ (Nwell)}$$

$$y_{dep}=3.33\mu m$$

電荷蓄積ゲート (Gate- $s_{T0}, s_{T1}$ )

(実際に電荷はGate- $s_{T0}$   
に蓄積される)

$$L_{g_{ST}}=8\mu m$$

$$V_{g_{ST0}}=12V$$

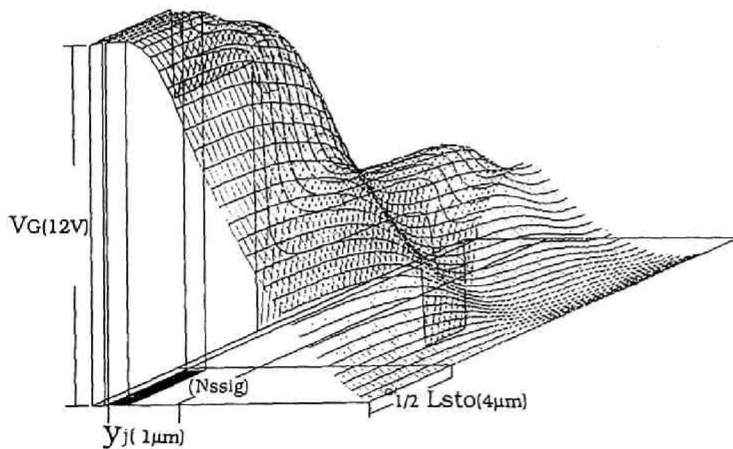
$$V_{g_{ST1}}=0V$$

電荷転送ゲート (Gate- $t_{R0}, t_{R1}$ )

$$L_{g_{TR}}=4\mu m$$

$$V_{g_{TR0}}=9V$$

$$V_{g_{TR1}}=-3V$$

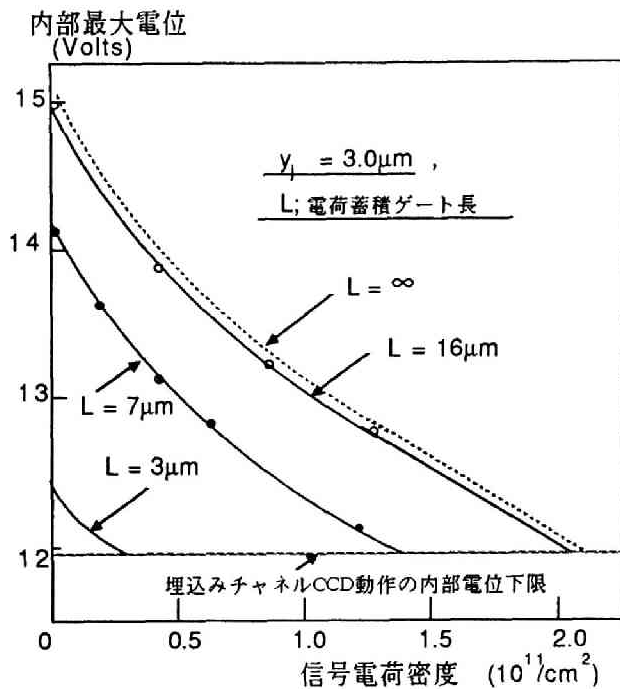


(b) 信号電荷がある場合 ( $N_{sig}=1.8 \times 10^{11}/cm^2$ )

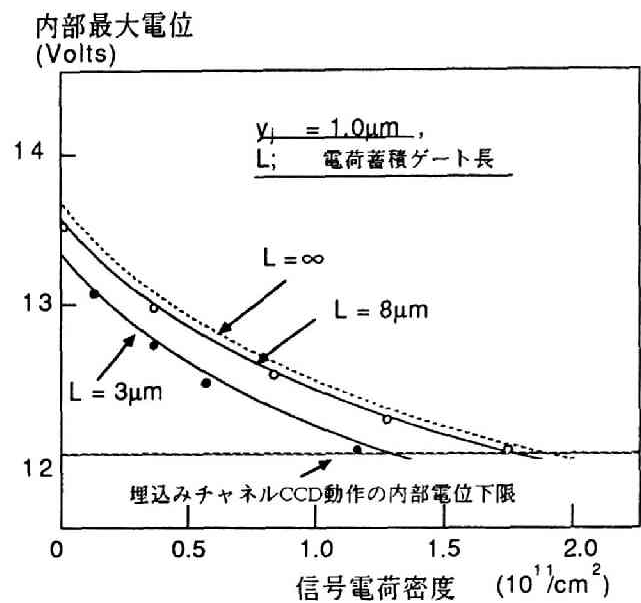
第3.3.3図 浅い N-well( $y_j=1.0\mu m$ )を持ったCCDの2次元ポテンシャル分布

### 3.3.5 解析結果2. ー信号電荷量と最大電位との関係ー

CCDのチャンネル部分に可動電子が蓄積すると、その最大電位が低下する。このことは、既に3.2.2節で自己誘導電位を表す等価容量  $C^+$  として解析に使用している。その  $C^+$  と埋込みチャンネル形CCDの最大信号電荷量 (SHC: Signal Handling Capability) を評価するため、信号電荷量面密度  $N_{ssig}$  と最大電位  $\Phi_m$  との関係をプロットする。第3.3.4図および第3.3.5図に結果を示す。



第3.3.4図 深い N-Well( $y_j=3.0\mu m$ ) CCDにおける信号電荷密度と最大電位の関係 ( $L_g=3, 7, 16\mu m$ )



第3.3.5図 浅い N-Well( $y_j=1.0\mu m$ ) CCDにおける信号電荷密度と最大電位の関係 ( $L_g=3, 8\mu m$ )

図中、 $\Phi_m$  が  $V_g$  に等しくなる点で、可動電子が半導体基板とゲート絶縁膜の界面に達するので、可動電子が界面部分の高密度中間準位と相互作用し、表面チャンネル形CCDと同様な転送損失が発生する。従って、この点が埋込みチャンネルCCDとして有効動作する極限であり、この時の  $N_{ssig}$  と電極面積の積を最大信号電荷量 (SHC) と定義する。

チャンネル幅  $W$  が一定の場合、電極の長さ  $L$  が短くなれば SHC は  $(L_g)^r$  ( $r>1$ ) に比例して小さくなる。 $r$  が 1 から外れる傾向は、深さ方向の諸寸法 ( $d, y_j, y_{dep}$  等) が大きいほど、また各不純物密度が小さいほど著しい。この現象は、次に述べる電界分布の特徴と合わせて CCD に於ける「ショートチャンネル効果」と言うことができる。

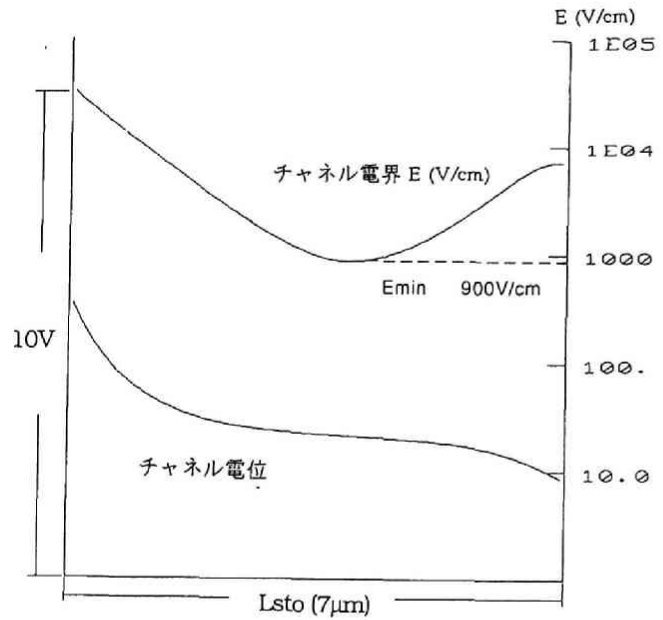
### 3.3.6 解析結果 3.

#### 転送電極下の電界分布と動作速度

3.2.2節で述べたように、埋込みチャンネル形CCDの転送動作は転送(元)電極(第3.2.1図の $G_2$ に相当する電極)下の信号電荷がドリフトする部分の電界分布 $E_0(x)$ に大きく影響される。解析結果から電界をプロットすると、第3.3.6図および第3.3.7図のようになる。

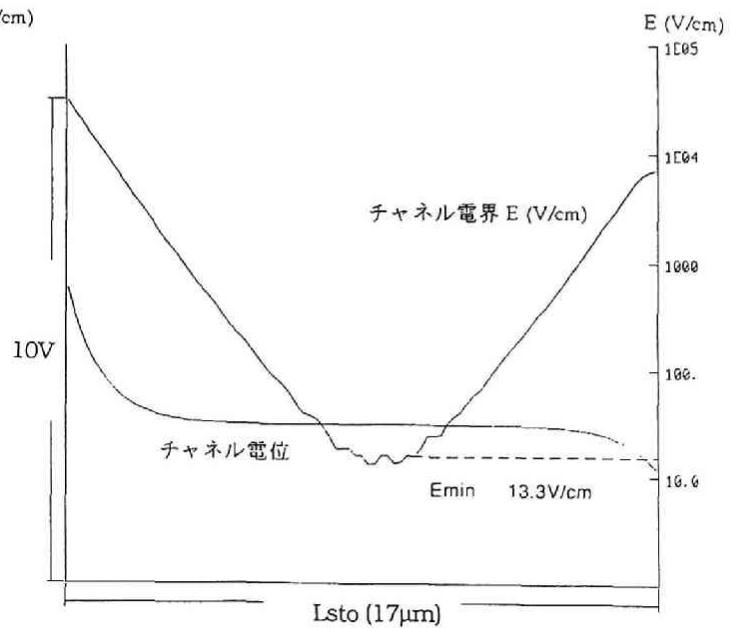
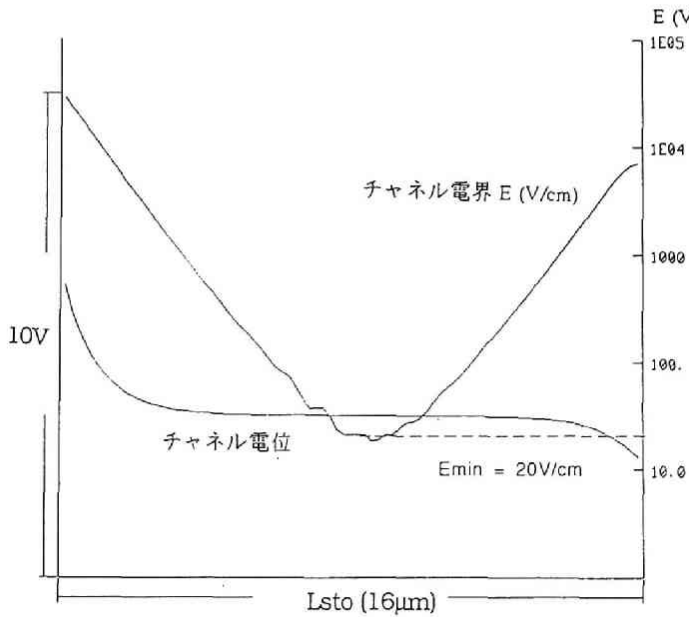
$y_j = 3.0 \mu\text{m}$   
 $N_{\text{well}} = 2.0 \times 10^{15} \text{cm}^{-3}$   
 $V_{\text{gst0}} = 0\text{V}$  転送元蓄積電極の電位  
 $V_{\text{gtr1}} = 9\text{V}$  転送先転送電極の電位  
 $V_{\text{gtr0}} = -3\text{V}$  転送元転送電極の電位

$L_{\text{st}} = 7 \mu\text{m}$



$L_{\text{st}} = 16 \mu\text{m}$

$L_{\text{st}} = 17 \mu\text{m}$

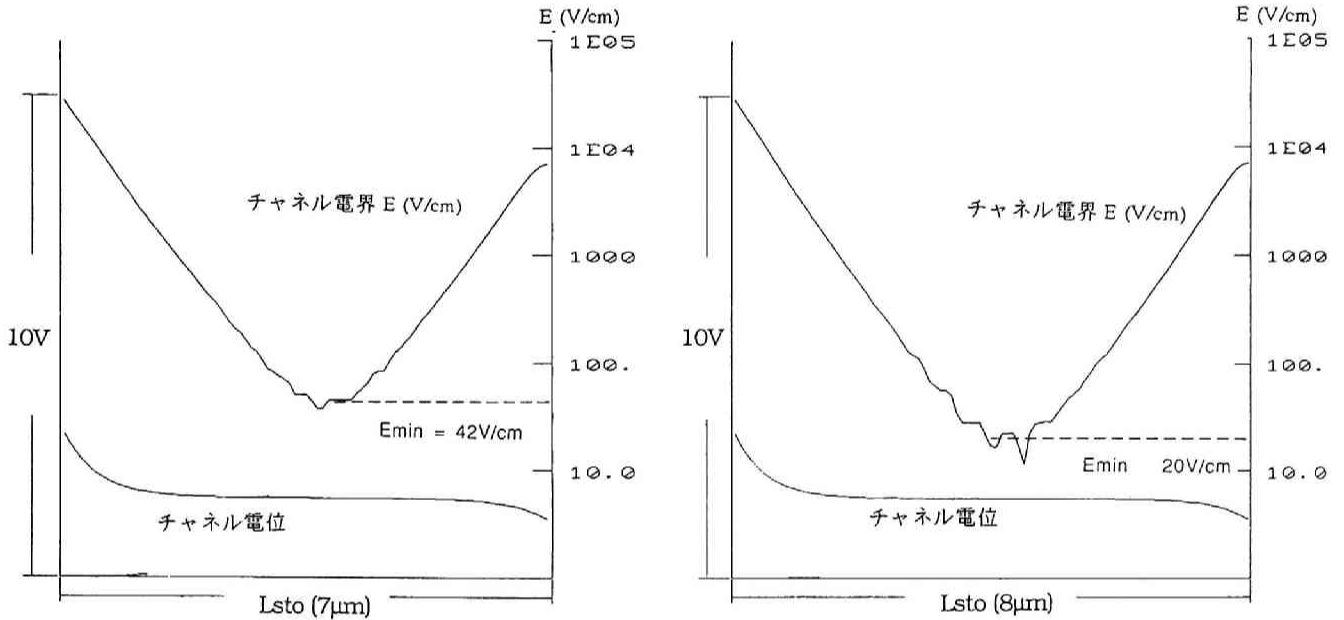


第3.3.6図 深い N-well( $y_j = 3.0 \mu\text{m}$ ) CCDの転送(元)電極下の電界分布( $L_{\text{st}} = 7, 16, 17 \mu\text{m}$ )

$y_1 = 3.0 \mu\text{m}$   
 $N_{\text{well}} = 2.0 \times 10^{15} \text{cm}^{-3}$   
 $V_{\text{gst0}} = 0\text{V}$  転送元蓄積電極の電位  
 $V_{\text{gtr1}} = 9\text{V}$  転送先転送電極の電位  
 $V_{\text{gtr0}} = -3\text{V}$  転送元転送電極の電位

$L_{\text{st}} = 7 \mu\text{m}$

$L_{\text{st}} = 8 \mu\text{m}$



第3.3.7図 浅い N-well( $y_1=1.0 \mu\text{m}$ ) C C D の転送(元)電極下の電界分布( $L_0=7, 8 \mu\text{m}$ )

これらの結果から、電界分布  $E_0(x)$  は、電極の両端をピークに中央に向かって指数関数的に減少している事が分かる。電界の最低値  $E_{\text{min}}$  は電極長  $L$  が短いほど大きく、前述した C C D のショートチャンネル効果が現れている。  $E_0$  は  $E_{\text{min}}$  を使って次のような近似式で表すことができる。

$$E_0(X) \approx E_{\text{min}} \cdot \cosh \{ \lambda (X - 0.5L_0) / y_1 \} \quad (3.52)$$

従って、埋込みチャネル形 C C D の動作速度の限界を求めるには、ここで得られた電界分布を 3.2.2 節の (3.16) の  $E_0$  に代入して  $T_2$  を計算すればよい。

$$\begin{aligned}
 T_2 &= \int_0^{L_0} (1 / \mu E_0) dx \\
 &\approx \int_0^{L_0} [1 / \mu E_{\text{min}} \cosh \{ \lambda (X - 0.5L_0) / y_1 \}] dx \\
 &= y_1 / (\lambda \mu E_{\text{min}}) [\arctan(\sinh \chi)]_0^{\lambda L_0 / 2y_1}, \quad s = \lambda L_0 / 2y_1 \\
 &\approx \pi y_1 / (\lambda \mu E_{\text{min}})
 \end{aligned} \quad (3.53)$$

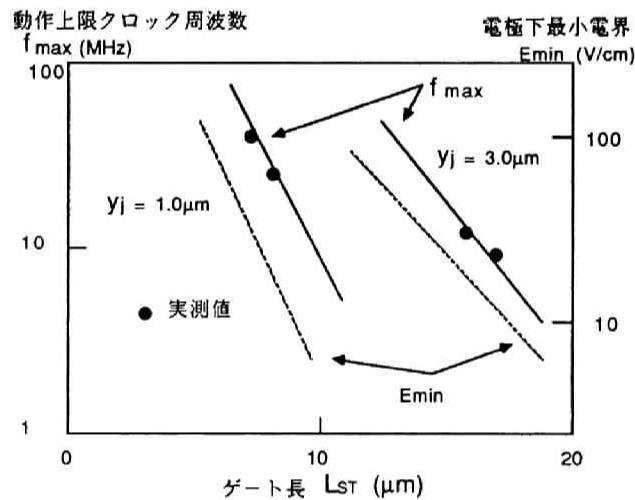
この $T_2$ から、CCDの動作速度の上限を決めるクロック周波数 $f_{max}$ を求めると、

$$f_{max} \approx (1/3)\{1/(T_1+T_2)\} \approx 10^3 / 3(1.1+160y_j/E_{min}) \quad (3.54)$$

但し、クロックは2相を想定しているが、10MHz以上の高周波であるため、パルス波形の立ち上がり、立ち下がり時間を考慮して係数は(1/2)でなく(1/3)を採用している。

$$f_{max}: \text{Hz} \quad y_j: \mu\text{m}, \quad E_{min}: \text{V/cm}, \quad \mu_o: 800\text{cm}^2/\text{Vsec}$$

(3.54)から各種のゲート長、N-well深さのCCDにおける $f_{max}$ を計算すると、第3.3.8図のようになる。



第3.3.8図 上限クロック周波数  $f_{max}$  とゲート長の関係

### 3.3.7 解析結果と実測値との比較

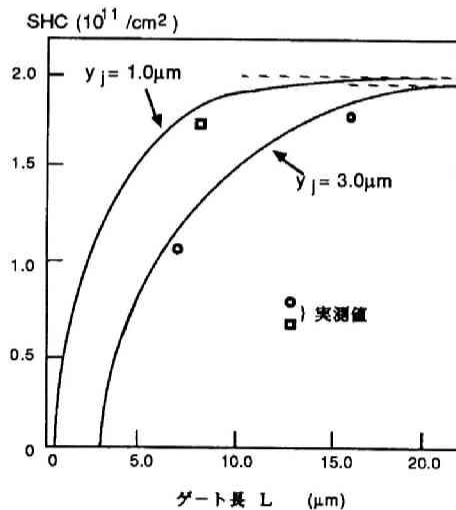
三種類の試作デバイスを使って各種のパラメータを実測し(第3.3.9図、第3.3.10図)、解析的に求めた結果と定量的に比較する。試作デバイスの諸元を第3.3.1表に示す。

これらの図から、解析結果と測定値とは、 $\pm 20\%$ 程度の誤差で一致していることが分かる。SHCや転送特性は何れも各種のパラメータの変化に敏感な量であり、この程度の誤差範囲に入っていることはこの解析手法の有用性を示しているものと考えることができる。

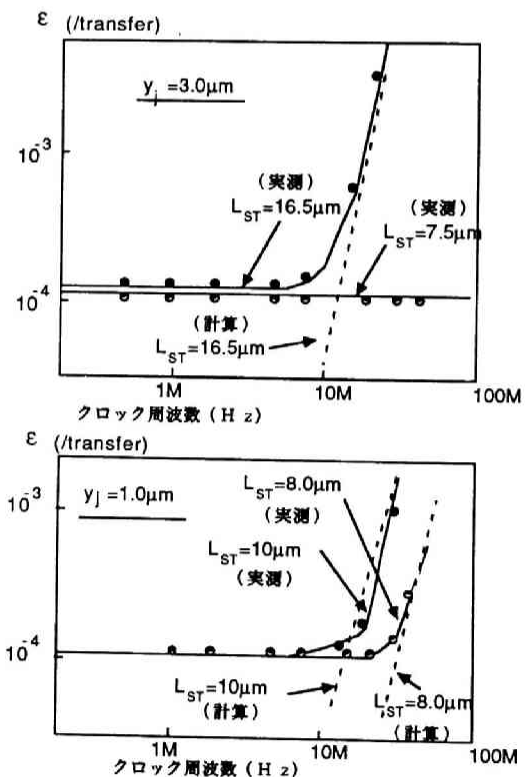


表3.3.1表 試作デバイスの諸元

項目		試料 A	試料 B	試料 C
駆動クロック相数		2	2	2
クロック振幅		12v	12v	12v
トランスファゲート・オフセット電圧		5v	5v	4v
ゲート長	Lst	16.50 $\mu\text{m}$	7.50 $\mu\text{m}$	8.00 $\mu\text{m}$
	Ltr	7.50 $\mu\text{m}$	3.50 $\mu\text{m}$	4.00 $\mu\text{m}$
ゲート酸化膜厚		0.16 $\mu\text{m}$	0.16 $\mu\text{m}$	0.15 $\mu\text{m}$
N-well 深さ		3.0 $\mu\text{m}$	3.0 $\mu\text{m}$	1.0 $\mu\text{m}$
基板不純物密度		$1.5 \times 10^{15} \text{cm}^{-3}$	$1.5 \times 10^{15} \text{cm}^{-3}$	$1.5 \times 10^{15} \text{cm}^{-3}$
N-well不純物密度		$2.0 \times 10^{15} \text{cm}^{-3}$	$2.0 \times 10^{15} \text{cm}^{-3}$	$8.0 \times 10^{15} \text{cm}^{-3}$



第3.3.9図 最大信号電荷量(SHC)とゲート長( $L_g$ )



第3.3.10図 非転送効率( $\epsilon$ )特性と駆動クロック限界周波数( $f_{max}$ )

### 3. 4 C C Dの雑音特性

前節では、C C Dの動作速度と、S/Nのうちの“S”即ち信号電荷量について解析し検討した。本節では、S/Nのうちの“N”即ち雑音について検討する。

C C Dをアナログメモリとして使う場合には、一定時間クロックの駆動を停止するので暗電流による電荷の流入も広義の雑音と考えられる。一方、外来雑音やC C D本体と入出力回路部分からの不規則な本質的雑音も存在する。まず、これらの分類を考える。

#### 3. 4. 1 C C D雑音の分類

##### (1)外来雑音

多くの場合問題になるのは各種の放送電波を駆動用クロックのフィード線が受信し、この放送電波周波数とクロック周波数との差周波数信号（ビート）がC C D内の非線形要素で形成されて、信号帯域内に入り雑音となるものである。対策としては、クロックの発生系も含めて完全に外部からシールドする必要がある。C C D本体と同一チップ上にクロック駆動回路等を一体化して形成すると、雑音は軽減し、通常の応用では問題にならない程度（-50dB以下）になるので有効である。

##### (2)内部雑音

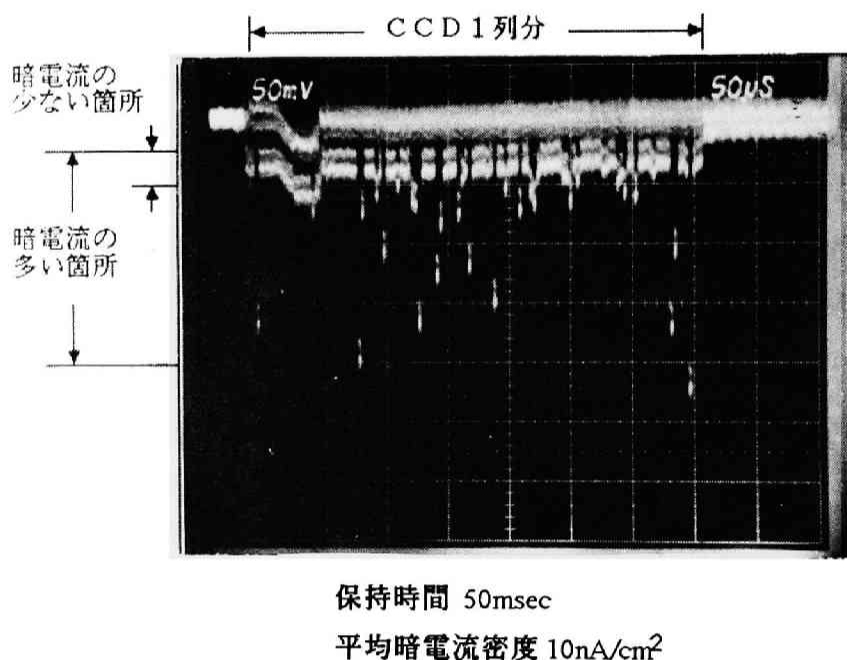
固定パターン雑音とランダム雑音に分かれる。前者で問題になるのは、暗電流によるものである。後者で問題になるのは、C C D本体の転送動作中発生するトラップ雑音と暗電流によるショット雑音、および入出力部分の雑音である。暗電流とトラップによる雑音はこの節で以下に詳しく検討する。入出力部分の雑音は次の節で記述する。

第3.4.1表 C C D雑音の分類

分 類 項 目		具 体 例
C C D雑音	外来雑音	----- (放送電波の混入等)
	内部雑音	固定パターン雑音 ----- (暗電流)
		ランダム雑音
		C C D本体 --- (トラップ、暗電流)
		入出力部 --- (1/f、ショット雑音)

### 3.4.2 暗電流の特性

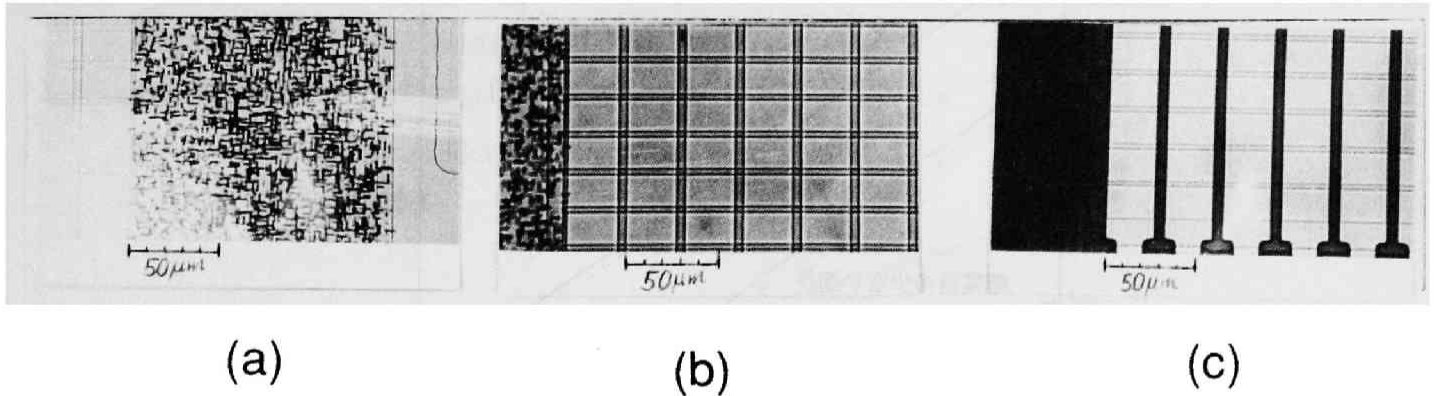
暗電流の主要な発生原因は、各種の結晶欠陥に伴う中間準位を介した電子・ホール対の生成である [3.7]。第3.4.1図に、入力端からの信号電荷注入をなくし一定時間クロック駆動を停止した後、再びクロック駆動してCCDの各メモリサイトに蓄積された暗電流による電荷を読みだした時の出力波形を示す。この図から、二種類の暗電流発生原因が重畳して分布していることが分かる。即ち、全メモリサイトに亘ってほぼ一様に分布している比較的微小な発生源と、局在化した大きな発生源である。通常、前者は小規模な点欠陥 (Point Defect: P D) による中間準位からの発生であり、後者はスタッキングフォルト (S F) 等の大規模な欠陥による中間準位からの発生である [3.27]。



第3.4.1図 暗電流の出力波形

このうち雑音として特に問題となるのはS Fによる局在化した暗電流である [3.28]。

S Fの分布は各種の異方性エッチングにより可視化できる。第3.4.2(a)(b)図にその例 (フィールド部をイオン注入プロセスで形成し、セッコエッチした基板を上から考察したもの) を示す。図の左側はフィールド部分、右側がチャンネル部分である。この図から分かるように、S Fの発生は初期の基板の結晶性よりもむしろそれ以後のプロセスの影響が大きいのので、暗電流を低く抑えるためには、低欠陥のプロセスを使ったり、または、一旦発生した欠陥をゲッターリング等で吸収する必要がある [3.29]。



(a) フィールド部 (b) チャネル部 (c) ゲッタリング後のフィールド部とチャネル部

第3.4.2図 スタッキングフォールの分布とゲッタリングの効果

実際、第3.4.2(c)図は、ゲッタリングを行った後の基板をセッコエッチしたものであり、SFが少なくなっていることが分かる。

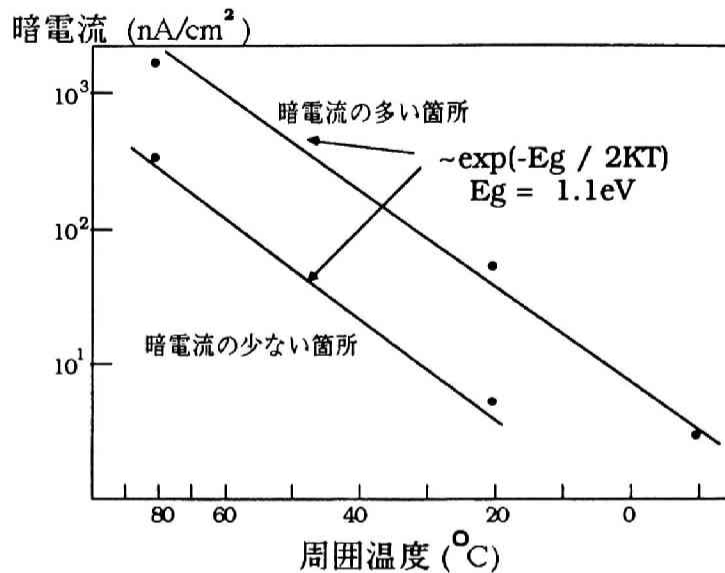
3.2節で解析した信号電荷のトラップ現象では、中間準位の内、比較的浅い準位が重要な役割を果たしていたが、暗電流の主原因である電子・ホール対の発生過程では、深い準位、即ち、エネルギーバンドギャップの中央付近の準位が重要となる。或る中間準位  $E_t$  からの電子・ホール対発生確率  $U$  は次の式で与えられる。[3.11, p.103]

$$U = \sigma_p \sigma_n v_{th} N_t n_i / [\sigma_n \exp\{(E_t - E_i)/kT\} + \sigma_p \exp\{(E_i - E_t)/kT\}] \quad (3.55)$$

$\sigma$  (衝突断面積) と  $N_t$  (中間準位密度) に大きなエネルギー依存性がなければ、 $E_t = E_i$ , ( $E_i$ ; Intrinsic Level 即ち、エネルギーバンドギャップの中央付近の準位) の時、 $U$  は最大となる。更に、 $n_i$  は、(3.56)で表されるような温度依存性 [3.11, p.27] を持つことが示されている。

$$n_i = (N_c N_v)^{1/2} \exp(-E_g/2kT) \propto T^{3/2} \exp(-E_g/2kT) \quad (3.56)$$

以上を総合すると暗電流の温度特性の理論式が得られ、 $\exp(-E_g/2kT)$  に近いものになる。実測結果でも第3.4.3図のように、ほぼ  $\exp(-E_g/2kT)$  に比例する温度依存性を示す。



第3.4.3図 暗電流の温度依存性

暗電流に起因する雑音では、平均電流による最大信号レベル ( $S_{MAX}$ ) の減少と、ランダム成分によるノイズレベル ( $N$ ) の増加、の二点を考慮する必要がある。しかもランダム成分には空間的なもの (固定パターンノイズ) と、時間的なもの (GR-ショットノイズ) がある。最悪条件にするため、各電流値は、最高使用温度における値にする必要がある。

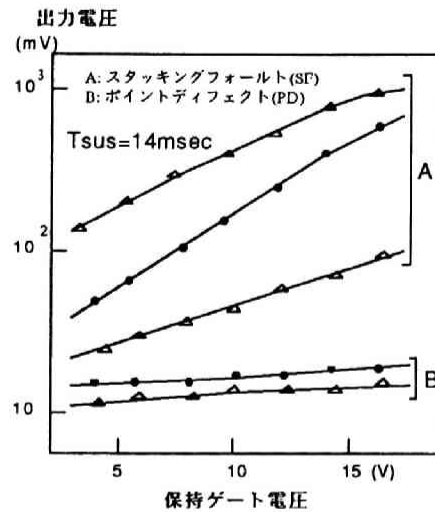
$$S/N = (S_{MAX0} - I_{D-AV} T_{TOTAL}) / (N_0 + I_{SP} T_{HOLD} + [e I_{D-AV} \Delta f]^{1/2} T_{TOTAL}) \quad (3.57)$$

但し、 $S_{MAX0}$  は元々の最大信号レベル、 $N_0$  は元々のノイズレベル、

$I_{D-AV}$  は平均暗電流、 $I_{SP}$  は暗電流のランダム成分の r m s、 $e I_{D-AV} \Delta f$  は GR ショットノイズの自乗平均 [3.30]、 $T_{TOTAL}$  は電荷が入力されてから出力されるまでの時間、 $T_{HOLD}$  は CCD のクロック駆動が停止される時間である。

次に、CCD の暗電流の電圧依存性について、簡単に検討する。CCD の転送特性を考えると、ある程度大きい振幅のクロックパルスで駆動する方が有利であるが、暗電流の観点からは不利な事が分かっている [3.28] 第3.4.4図に示すように、暗電流のクロック電圧依存性は前述の点欠陥 (PD) 形は比較的少ない。これは、欠陥からの可動電子発生割合そのものの電圧依存性 (素子内部では電界依存性) ではなく、むしろクロック振幅の増加によって空乏層が広がる効果によると考えられる。他方、スタッキングフォルト (SF) 形は電圧の増加に対して指数的な可動電子発生割

合依存性を示している。詳しい発生メカニズムの解明は今後の研究に待たねばならないが、実用的な観点から、CCDの駆動クロック振幅は10V程度以下に抑えて、暗電流をある程度少なくしておく必要がある。



第3.4.4図 暗電流のクロックパルス電圧依存性

### 3.4.3 CCD転送後のトラップ雑音

CCDの転送損失の原因となった可動電子のトラップ現象は、トラップから放出されるとき「ゆらぎ」が存在するので、同時に雑音の原因にもなる。可動電子パッケージが次段に転送されてから $t$ 秒後にトラップ電子が既に放出されている確率 $P$ は、(3.20)より、

$$P = 1 - \exp(-t/\tau_g), \quad \tau_g = 1/(v_{th} \sigma n_t n_i \exp[(E_t - E_i)/kT]) \quad (3.58)$$

また、「トラップ準位が満たされているかいないか」という事象は二項分布に従う事象であるから、その分散（即ち雑音）は単位エネルギー、単位体積当り下記の $\Delta n_{TRAP}^2$ のようになり、これを、 $P$ 、 $N_t$ がエネルギー依存性を持たないとした場合、エネルギーで積分しチャネル領域の体積 $V_{CH}$ を掛けると全雑音電荷量、 $N_{TRAP}^2$ を得る。[3.18]

$$\Delta n_{TRAP}^2 = P(1-P)N_t \Delta E$$

$$N_{TRAP}^2 = V_{CH} \int_0^{E_g/2} N_t P(1-P) dE \approx kTN_{t \text{ tot}} \ln(2) \quad (3.59)$$

$N_{TRAP}^2$ は一回の転送による雑音成分であり、1秒間に $f_{ck}$ 回の割合でCCD中を $n$ 段転送されるので、この動作が重畳されてある種の変調がかかり（或転送で発生したトラップからの放出雑音、即ち「ゆらぎ」 $n_0$ は次の電荷パッケージに対しては、逆に $-n_0$ の余分な電荷となる）、CCD出力部での周波数スペクトル $A(f)$ およびは、下記のようなになる。

$$A(f) = \lim_{T \rightarrow \infty} [1/T \int_{-T}^T \{n_0(t) - n_0(t - T_{ck})\} \exp(j2\pi ft) dt] \\ = A_0(f)(1 - \exp[j2\pi f T_{ck}]) = A_0(f)(1 - \exp[j2\pi f / f_{ck}]) \quad (3.60)$$

$$|A(f)| = |A_0(f)| \cdot |1 - \exp(j2\pi f / f_{ck})| \\ = \sqrt{2} n f_{ck} N_{TRAP}^2 (e / C_{OUT}) \{1 - \cos(2\pi f / f_{ck})\}^{1/2} \quad (3.61)$$

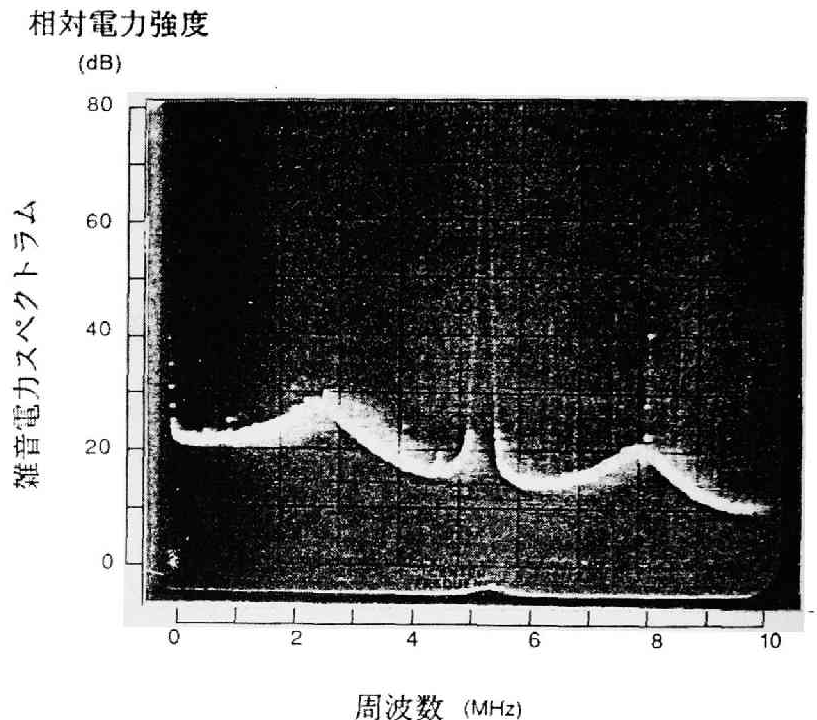
ただし、 $T_{ck}$ はクロック周期、 $f_{ck}$ はクロック周波数、 $n$ はCCDの段数、 $A_0$ は無転送時の周波数スペクトル、 $e$ は電子の電荷量、 $C_{OUT}$ は出力部で電荷と電圧を変換する部分の容量である。

第3.4.5図にトラップ雑音の特性がはっきり分かるCCD出力周波数スペクトルの測定結果を示す。

(3.61) および、上の測定結果から分かるとおり、トラップ雑音は、クロック周波数 $f_{ck}$ の半分 $f_{ck}/2$ でピークを持つスペクトラムである。全雑音電力( $PN_{TRAP}$ )を計算するには信号帯域全体で積分しそれを測定装置（この場合はスペクトラムアナライザ）の帯域幅で規格化する必要がある、例えば、 $BW: 0 < f < 0.35 f_{ck}$ を信号帯域幅、 $\Delta B: 0.01 f_{ck}$ を測定帯域幅とすると、

$$PN_{TRAP} = (1/\Delta B) \int_0^{BW} A(f) df \\ \approx 22.1 \times \{2 n f_{ck} N_{TRAP}^2 (e / C_{OUT})\} = 22.1 \times A(f_{ck}/2)/2 \quad (3.62)$$

従って、スペクトラムアナライザでの測定結果からトラップ雑音の電力を評価する場合は、 $f_{ck}/2$ の雑音スペクトル値、 $A(f_{ck}/2)$ を約11倍(21dB)すればよい。例えば、第3.4.5図で示した



第3.4.5図 トラップ雑音の周波数スペクトル  
(3.61)の $\{1 - \cos(2f/f_{ck})\}$ 、 $f_{ck}=5.3\text{MHz}$   
の特性が現れている

CCDの場合  $A(f_{ck}/2)$  は27dB、この内トラップの分は25dBなのでトラップ雑音電力は全体で46dBである。一方、信号レベルはこの図では示されていないが、この測定系では90dB以上なので  $S/N$  は44dB以上である。

### 3. 5 CCDの入出力回路

この節では、CCDの入出力回路と、出力部分で発生する雑音について記述する。アナログメモリとしての性能指標のうち、入出力回路で特に問題になるのは直線性であるが、約-40dB付近の微小な量が問題となるので、定量的な解析は難しい。従って、この節では定性的な考察を行い、次節の各具体例で実測値を示す。また、雑音に関しては、入力部分ではほとんど雑音が発生しないので、出力部分のみ考察する。動作速度に関しては、出力部分にソースフォロア形の電荷-電圧変換回路を使用する限りほとんど問題にならない。

#### 3. 5. 1 CCDの入力回路[3.10]

入力回路方式としては、通常、「ダイナミックインジェクション法」、「ダイオードカットオフ法」、「等ポテンシャル法」の3種類がよく用いられる。

各々の方式を第3.5.1図に示す。

##### (a)ダイナミックインジェクション法

この方法では、入力ダイオード  $ID$  に信号電圧  $V_s$  を、入力制御ゲート  $IG$  にパルスを印加し、第1の転送ゲート  $P_i$  下へ  $ID$  から電荷を注入する方法である。この方法は  $V_s$  の少しの変化で注入される電荷量が大きく変わるのでCCD全体として挿入利得を持たせることも可能であるが、電荷量の細かい制御が難しく、入力電圧と注入電荷量との直線性もよくないのでデジタル的な応用以外ではあまり用いられない。

##### (b)ダイオードカットオフ法

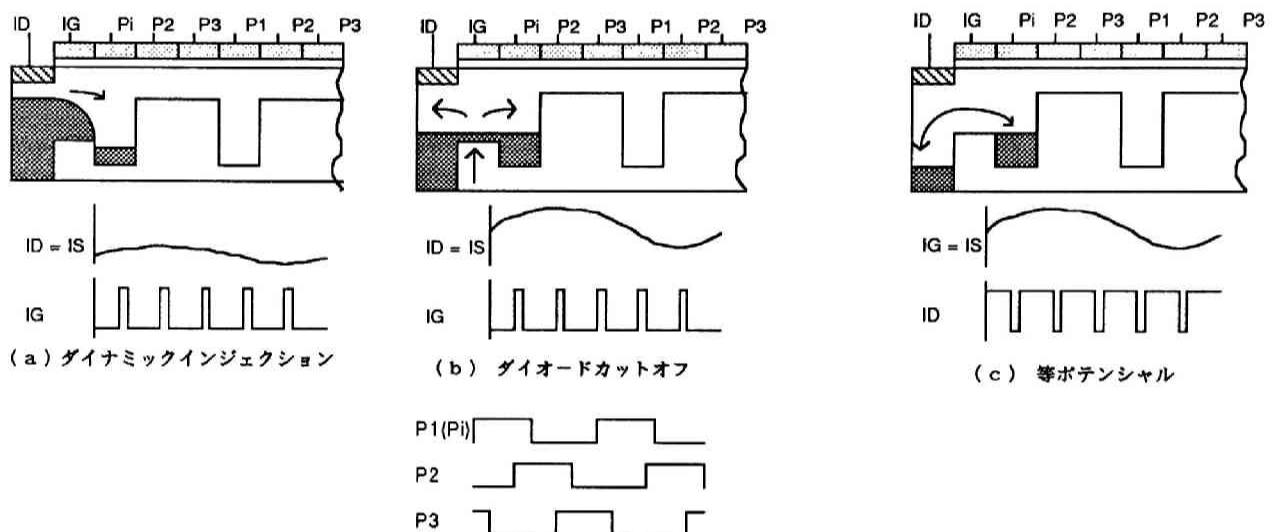
この方法では、ダイナミックインジェクション法と同様な電圧を  $ID$ 、 $IG$  に印加するが、 $ID$  にかかる  $V_s$  を正にバイアスし  $IG$  がオン・レベルの時に  $P_i$  下の電位と  $ID$  の電位（即ち  $V_s$ ）とが等しくなる様にし、次に、 $IG$  をオフレベルにして  $P_i$  下に残った電荷を転送する方法である。ダイナミックインジェクション法と比べ、挿入損失はあるが注入電荷量の制御性や直線性は優れているので、アナログ信号処理用としてよく利用される。



### (c)等ポテンシャル法

この方法は、ダイオードカットオフ法とは逆に、 $I_D$ に負のパルスを、 $I_G$ に $V_s$ を印加し、 $I_D$ にパルスが印加されたときに $P_1$ に注入された電荷のうち、 $I_G$ 下と $P_1$ 下の電位差に相当する電荷量を転送する方法である。ダイオードカットオフ法と比べ更に挿入損失は増加するが $V_s$ と注入電荷量との直線性は幾分改善されるので信号処理用としてよく利用される。

但し、ここで注意しなければならないことは、「CCDの直線性として重要なのは、入力電圧と出力電圧の関係であって、入力電圧と信号電荷量の関係ではない。」ということである。従って、直線性は出力回路も含めて議論する必要がある。



(a)ダイナミックインジェクション法 (b)ダイオードカットオフ法 (c)等ポテンシャル法

第3.5.1図 CCDの入力方式

### 3.5.2 CCDの出力回路

出力回路方式としては、次の四種類が一般的である。

即ち、「リセットジャンクション方式」、「フローティングジャンクション方式」、「フローティングゲート方式」、および「電流積分方式」である。各方式の概略構成図を第3.5.2図に示す。

#### (1)リセットジャンクション法

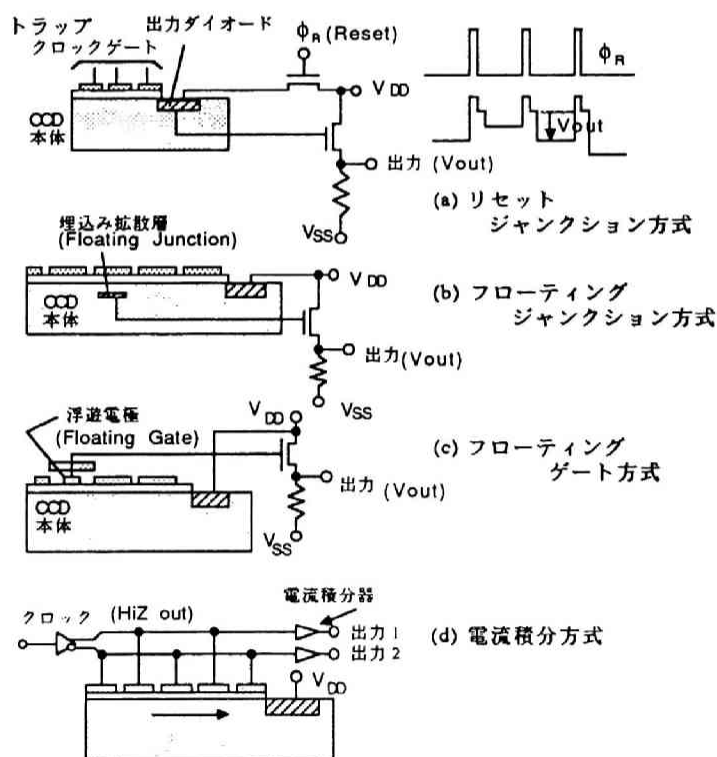
この方式では、転送されてきた電荷を一旦ダイオードに蓄積し、このダイオードの電位変化をソ

ースフォロアを介して低インピーダンス化して電圧出力する。ダイオードに蓄積されている電荷は次のパケットが転送されて来るまでにリセットゲートを通じて外部に送られ、ダイオードの電位はリセットされた状態に戻る。この方式は他の方式に比べて、CCD本体の動作に殆ど影響を与えない安定なもので、最も一般的に使用されているものである。また、出力波形としては、この方式も他の方式同様、サンプルホールド回路の一種であり、周波数スペクトラムとして次のような特性を持つ。[3.20]

$$V_{out}(fs) = \{ r \sin(\chi) / \chi \} V_{ccd}(fs); \quad \chi = \pi r fs / f_{ck} \quad (3.63)$$

$r$  ; ホールドデューティー比       $fs$  ; 信号周波数       $f_{ck}$  ; クロック周波数

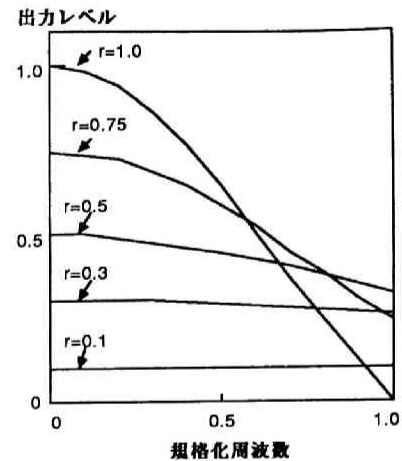
$V_{ccd}(f)$  ; CCD内部周波数特性



第3.5.2図 CCDの出力方式 (a)リセットジャンクション方式 (b)フローティングジャンクション方式  
(c)フローティングゲート方式 (d)電流積分方式

$r$  をパラメータにして周波数特性を計算すると第3.5.3図の様になり、 $r$  を大きくすると出力レベルは増加するが、帯域は狭くなる。

リセットジャンクション方式では、信号電荷の出力タイミングとリセットパルスとの位相関係を調整することにより  $r$  を変えることができるので、用途に応じて適切な  $r$  の値を選択する必要がある。



第3.5.3図 サンプル・ホールド回路のデューティ比とC C Dの周波数特性

#### (b) フローティングジャンクション法

この方式では、拡散層をC C D本体の終段部に挿入してあり、この部分へ信号電荷が転送されて電位が変化するのを検出して、ソースフォロア回路等により出力する。この方式では、通常の駆動クロック以外にリセットパルスが必要ないという利点はあるが、フローティングジャンクションを挿入した部分でのC C Dの転送特性が劣下するのと（この部分での浮遊容量が増え、クロックパルスで十分にチャンネルのポテンシャルが変化しないため）、ゲート下に拡散層を形成するために製造工程が複雑になるという欠点があり、余り使われない。

#### (c) フローティングゲート法

この方式と、次の電流積分法は、前述の二方式とは異なり、チャンネル内の電荷を直接検出するのではなく、その電荷によって逆に電極側に誘起された電圧を検出し出力するものである。フローティングゲート法は、出力部に近い箇所のクロック電極の間に小さなフローティングゲートを挿入し、この下を転送される電荷によって誘起される電圧をこのゲートに接続されたソースフォロア等を介して出力するものである。フローティングジャンクション方式と同様、リセットパルスが不用という利点はあるが、ある程度大きい出力電圧を得ようとする挿入ゲートを大きくしなければならぬが、そうすると周辺のクロックパルスのクロストークが大きくなったり、C C Dの電荷転送特性が劣下したりするので挿入ゲートの設計がかなり難しいという欠点もあるため、この方式も余り使用されない。

#### (d)電流積分法

この方式はいわば前述のフローティングゲートをCCD全体に分布させたもので、これらの全てのゲートでの誘起電圧（厳密にいうと変位電流）の総和を出力する。各ゲートでの誘起電圧はほぼそのゲート面積に比例するので、出力部から*i*ビット（*m*相クロック駆動の場合、*i*・*m*段）のゲート面積を*A<sub>i</sub>*とすると、出力電圧*V<sub>out</sub>*は

$$V_{out}(t) \sim \sum A_i \cdot V_{in}(t-i\Delta t) \quad (3.64)$$

この式から、係数*A<sub>i</sub>*を適切に選ぶことによりトランスバーサルフィルタを形成できることが分かる。実際、クロックをインピーダンスの高い回路で駆動しなければならない等難しいことも多いが、電流積分法はフィルタ形成が容易なのでこの分野では比較的良好に使われている。

#### 3.5.3 CCD出力部の雑音

出力部での雑音発生源としては、リセット回路とソースフォロアがあるが、前者は、低域フィルタを介してクロック周波数成分を除去することによりほとんど影響を無くすることができるので、実質的に問題となるのはソースフォロアによる雑音のみである。

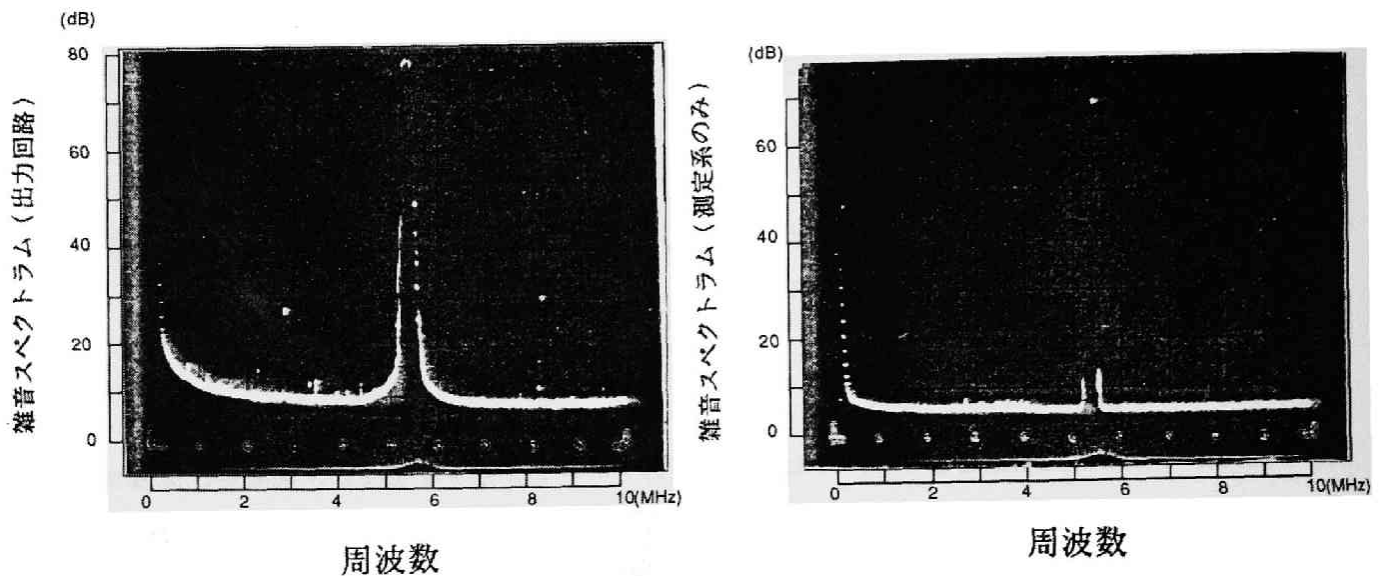
第3.5.4図にCCD出力部の雑音スペクトラムの実測結果を示す。測定系の雑音成分を引いた出力部のみの雑音は、通常MOSFET回路で頻繁に現れる[3.30, pp.100-105]、ほぼ周波数に逆比例したスペクトラムを持っている1/*f*雑音である。

この測定結果を使って出力部の雑音（1/*f*雑音）電力を計算するには、次の積分を実行すればよい。

$$\begin{aligned} P_{N_{OUTPUT}} &= \int^{BW} N_{O\_OUTPUT} \cdot (1/f) df \\ &= N_{O\_OUTPUT} \cdot [\ln(BW) - \ln(\Delta B)] \doteq 3.6 \times N_{O\_OUTPUT} \quad (3.65) \end{aligned}$$

但し、*BW*は信号帯域幅（例えば、0.35*f<sub>ck</sub>*）、*N<sub>O\\_OUTPUT</sub>*はスペクトラムアナライザの周波数0付近の雑音レベル、 $\Delta B$ は測定帯域幅（例えば、0.01*f<sub>ck</sub>*）である。

従って、周波数0付近の雑音レベルを3.6倍（約11dB）することで、1/*f*雑音の電力を求めることができる。例えば、第3.5.4図のCCDの場合、周波数0付近の雑音レベルは15dBなので、1/*f*雑音は26dBとなる。一方、図には表されていないが信号レベルは70dB以上なので*S/N*は44dB以上である。



(CCD出力部 (信号電荷なし) の雑音)

(測定系の雑音)

H:1MHz/div V:10dB/div

第3.5.4図 CCD出力部の雑音スペクトラムの実測結果

### 3. 6 CCDのアナログメモリ応用

CCDの応用として、二種類の映像信号帯域のアナログメモリについて記述する。第一は、映像信号 (帯域3~4MHz) 用の1Hラインメモリ (或は、遅延線) である。ここでは、直線形とサーペンタイン形という二つの具体例について説明する。第二は、ピクチャ・イン・ピクチャTVに使用する1フレームメモリである。これらは、使われかたの相違から、前述のCCDの三性能指標に対する重点の置き方が異なる。即ち、前者は、動作速度および直線性とランダム雑音(S/N)を含めたダイナミックレンジが重要であり、後者では、記憶時間が比較的に長いため暗電流によるS/Nの劣下が問題になる。

一般に、CCDで映像信号の1H遅延線を作るにはクロスカラーキャンセラー等の狭帯域応用の場合を除き [3.35]、600以上のビット数が必要となり、一本の直線で実現する場合非常に細長くなるのでゲート長をかなり短くしないと集積回路として製造しにくい。このため、従来は、 $(1/m)$ のビット数の長さのCCDを並列にm個並べ、これを時間的に切り替える方式か[3.31], [3.32]、もしくは、後で述べる、サーペンタイン（蛇行）形のCCDで実現していた。また、1Hラインメモリとしては第3.6.1表に示すような特性を満足する必要がある。

第3.6.1表 1Hラインメモリに要求される特性と諸元

項 目	特性と諸元
最大記憶保持時間	3H:190 $\mu$ sec (タイムベース補正等) 1H:63.5 $\mu$ sec (単純遅延)
必要ビット数	682.5b / 455b / 910b
クロック周波数	10.74MHz/7.16MHz / 14.32MHz
信号帯域 (-3db以内)	4.5MHz/3MHz / 6MHz
S/N、歪み	約40dB以上
電源電圧	18V以下

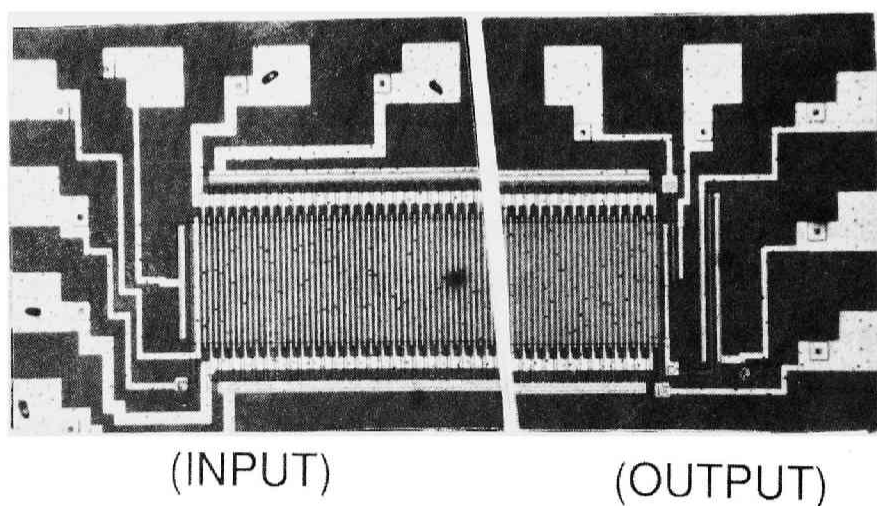
この節では、試作した二種類のビデオ信号用のラインメモリについて、各素子の特性実測値を示し、前節までの解析結果と比較する。第一のものは、最も単純な直線形のCCDで、カラー信号も含めたNTSC信号を1H記憶または遅延する能力があるものである。第二のものは、いわゆるサーペンタイン形と呼ばれているチャンネルが蛇行した形状のCCDで、輝度信号だけを1H記憶または遅延させる能力がある。ここでは、先ず、ゲート長をかなり短く抑え、単純で特性のよい直線形のCCDの特性を評価する。

### 3.6.1 直線形 1H CCDアナログメモリ[3.23]

第3.6.2表に試作した直線形CCDの諸元と駆動条件を示す。また、第3.6.1図と第3.6.2図にチップの部分写真と断面構造を示す。

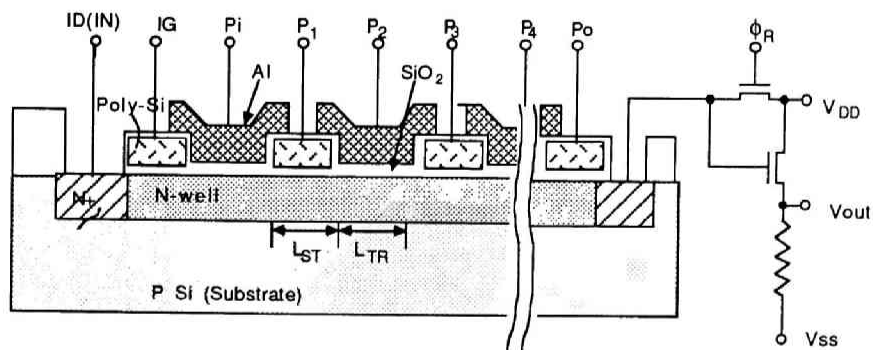
第3.6.2表 直線形CCDの諸元と駆動条件

項 目	大 き さ	項 目	大 き さ お よ び 方 式
ゲート長Lst	$7.0\mu\text{m}$	全ビット数	682.5bit
Ltr	$3.0\mu\text{m}$	クロック周波数	10.74MHz
チャンネル幅	$200\mu\text{m}$	駆動クロック相数	2相
チャンネル長	13.65mm	クロック振幅	12V
ゲート酸化膜厚	$0.16\mu\text{m}$	トランスファゲート・オフセット電圧	5V
N-well 深さ	$3.0\mu\text{m}$	入力方式	ダイオード カットオフ
基板不純物密度	$1.5 \times 10^{18} \text{cm}^{-3}$	出力方式	リセットジャンクション
N-well不純物密度	$2.0 \times 10^{15} \text{cm}^{-3}$		



第3.6.1図 チップの部分写真

CCDを駆動するクロック周波数 $f_{ck}$ は、信号帯域（4.5MHz）とサンプリング定理から決まる周波数よりも高く、サブキャリア周波数（ $f_{sc}=3.58\text{MHz}$ ）とのビートを除くために、 $3f_{sc}$  即ち  $f_{ck}=10.74\text{MHz}$ とする。従って、1Hの遅延を得るためには、682.5ビット（クロック）必要である。

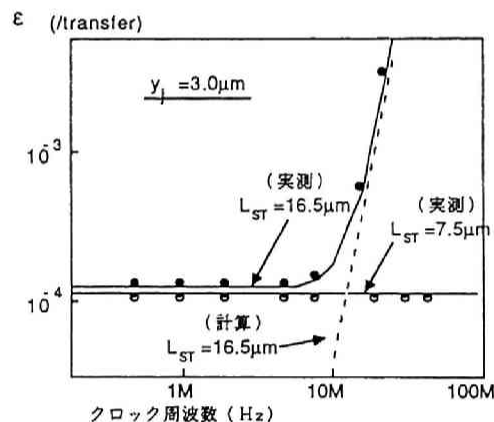


第3.6.2図 直線形CCDの断面構造

製造プロセスとしては比較的簡単な1層ポリシリコン、1層アルミのプロセスを採用している。即ち、電荷の蓄積用電極（電極長：

$L_{st}$ ）はポリシリコンで、電荷の転送用電極（電極長： $L_{tr}$ ）はアルミで形成されている。

前節で検討したように、 $y_j \approx 3\mu\text{m}$ 、 $N_D \approx 2 \times 10^{15}\text{cm}^{-3}$  程度の場合、 $L_{st}$  は信号電荷量の観点からは $7\mu\text{m}$ 以上がよく、高周波の転送特性の観点からは $12\mu\text{m}$ 以下がよい。更に、直線形CCDの場合非常に重要なことは、素子が余り細長くないことであり、 $L_{st} = 7\mu\text{m}$ 、転送電極長 $L_{tr} = 3\mu\text{m}$ （これは第1電極のギャップ長さで自動的に決まる量である、）とした。クロック駆動方式は隣接したアルミとポリシリコンの電極をペアにしてこの2組で1ビットとする二相クロック方式である。



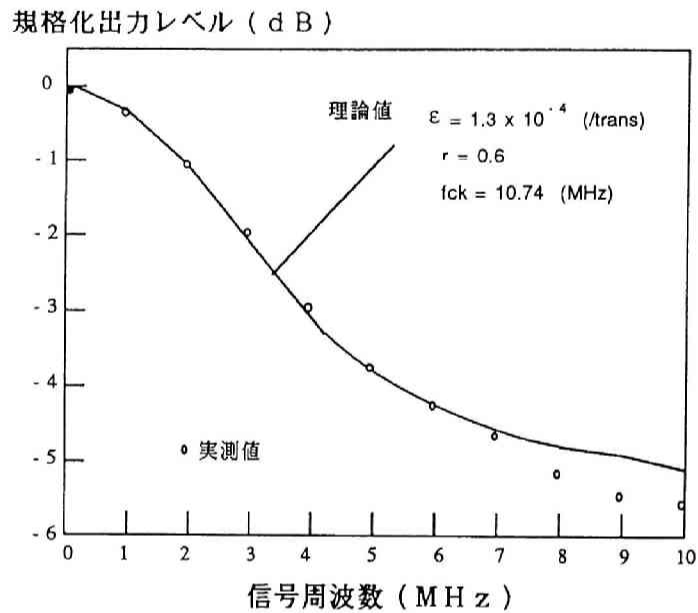
（第3.3.10図と同一）

第3.6.3図 直線形CCDの非転送効率特性

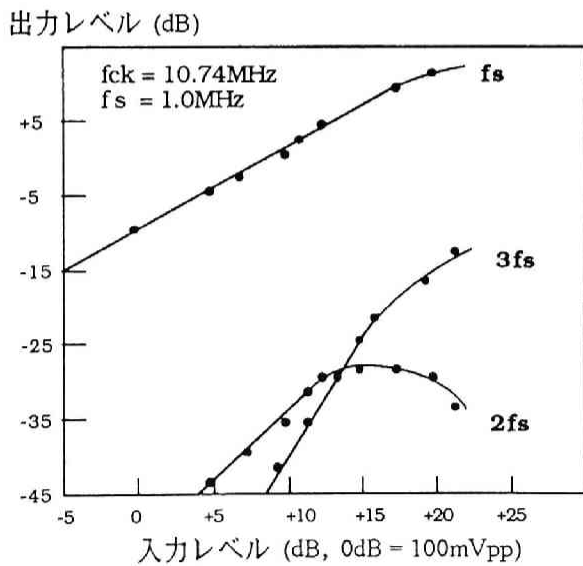
次に、特性の測定結果を示す。第3.6.3図に非転送効率のクロック周波数特性を示す。測定は「0」「1」の信号電荷パッケージがそれぞれ8つつ繰り返すような矩形波入力信号を用いて行った。解析結果から予想されるとおり、クロック周波数40MHzまでの範囲では非転送効率は平坦であり、転送効率が大きく劣化し始めるクリティカルなクロック周波数  $f_{max}$  は40MHzよりも高周波領域にある



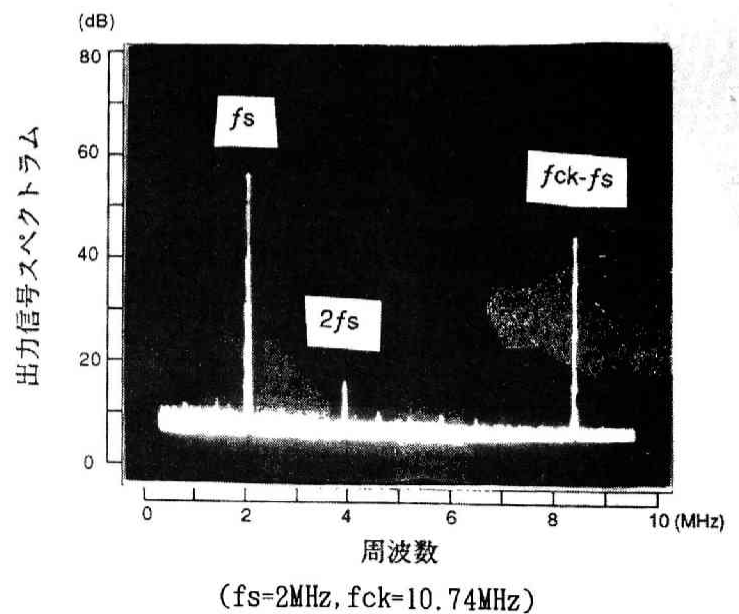
ことが分かる。次に、クロック周波数を10.74MHzに固定して、入力に正弦波を印加して信号に対する周波数特性と直線性の測定を行う。各々の結果を第3.6.4図および第3.6.5図に示す。また、信号周波数 $f_s=2\text{MHz}$ の場合のスペクトラムを第3.6.6図に示す。



第3.6.4図 信号に対する周波数特性



第3.6.5図 直線形CCDの入出力特性



第3.6.6図 直線形CCDの出力スペクトラム例

信号に対する周波数特性の理論値は、(3.27)式と(3.63)式とを掛け合わせたものであり、実測とよく一致している。

また、ランダム雑音による  $S/N$  は出力スペクトラムよりほぼ明らかなように、40dB以上のレベルである。実際くわしく計算すると雑音の全電力  $P_{NOISE}$  は、ほぼ、トラップ雑音と  $1/f$  雑音の和で表され、スペクトラムアナライザの測定帯域:  $\Delta B(0.01f_{ck})$ 、信号帯域:  $Bw(0.35f_{ck})$ 、雑音スペクトラムで周波数 0 のレベルを  $N_0$ 、周波数  $f_{ck}/2$  のレベルを  $N_{1/2}$  とした時、(3.62)、(3.65)より次式で与えられる。

$$P_{NOISE} = 11.0 N_{1/2} + 3.6 N_0 \quad (3.66)$$

この式を使って評価すると、第3.6.6図の場合、 $N_{1/2}/S = -63\text{dB}$ 、 $N_0/S = -58\text{dB}$  によって、入力信号レベルが +5dB で全体の  $S/N$  は約 38.5dB となるが、入力信号レベルを +8dB まで大きくしても高調波歪みは -40dB 以下に抑えられるので、入力信号レベルをこの様に設定すると、 $S/N$  は 41.5dB となる。

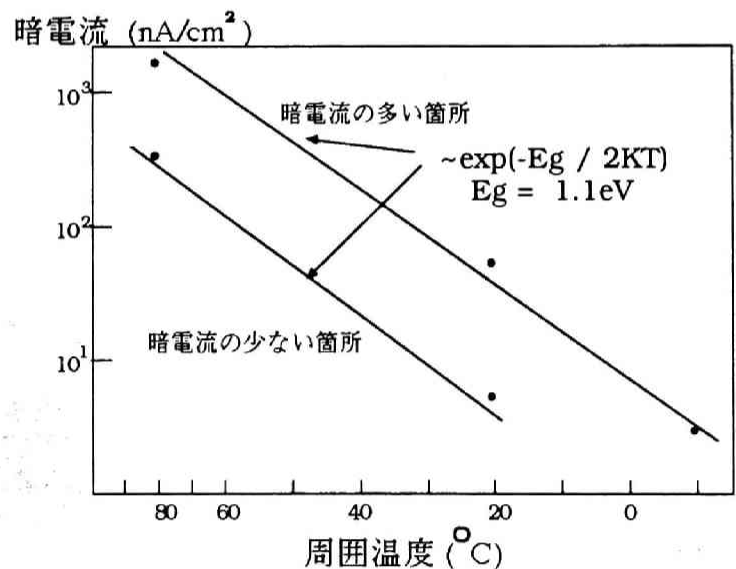
次に、短時間の記憶素子として使用する場合問題となる固定パターン雑音は暗電流特性から評価できる。平均暗電流の温度

特性を第3.6.7図 (第3.4.3図と同一) に示す。

出力のリセットジャンクション部の全実効容量を  $C_{out}$  (約 0.65pF)、暗電流の平均値を  $I_D$  (約 100nA/cm<sup>2</sup>、但し、雑音のスペクトラムはショットノイズ的であるとし、雑音電力も平均値そのものに等しいと仮定する)、1ビットのチャンネル表面積を  $A$  (200x20  $\mu\text{m}^2$ )、出力信号振幅を  $V_{sig}(+8\text{dB}; 25\text{mV}_{PP})$ 、許容最小  $S/N$  比を  $R(=40\text{dB}; 100)$ 、記憶保持可能な最大時間を  $T_{sus}$  とすると、次の式が成り立つ。

$$T_{sus} = (C_{out} \cdot V_{sig} / R) / (I_D \cdot A) \quad (3.67)$$

$$\approx 406 \mu\text{sec} \cdots \cdots (\text{室温})$$



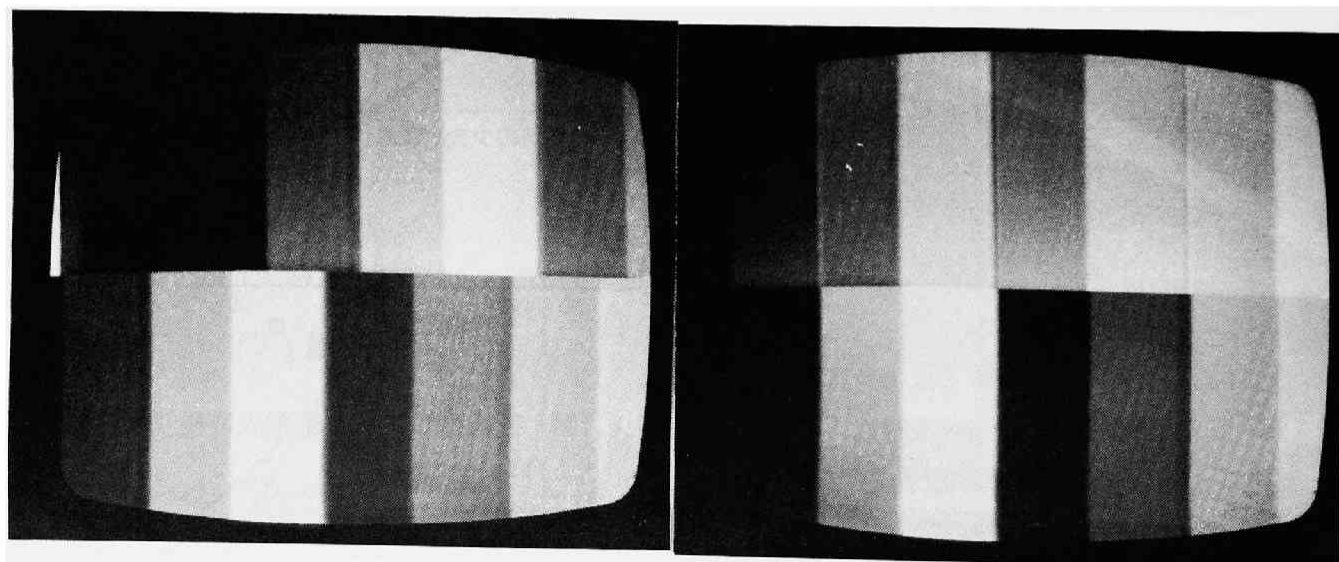
第3.6.7図 直線形CCDの暗電流特性 (第3.4.3図と同一)

但し、周囲温度が70℃程度になると、暗電流が約10倍になるので $T_{sus}$ は1/10に減少する。従って、高温で $T_{sus}$ が190 $\mu$ sec以上を保証するためには、 $I_D$ のレベルを更に約1/5(20nA/cm<sup>2</sup>)にまで下げる必要がある。

最後に、直線形CCDの諸特性を第3.6.3表にまとめ、第3.6.8図にこの素子を1H遅延線として使用した場合の映像写真の例を示す。

第3.6.3表 1H遅延線としての直線形CCD諸特性一覧

項目	条件	特性
遅延時間	$f_{ck}=10.74\text{MHz}$	63.5 $\mu$ sec
信号帯域	" -3dB	4.2MHz
挿入損失	"	9dB
出力レベル	" 高調波歪 -40dB以下	80mV <sub>pp</sub>
雑音 (S/N)	"	40dB以上
記憶時間	S/N 40dB以上、室温	200 $\mu$ sec以上



$f_{ck}=14.3\text{MHz}(T_{delay}=0.75H)$

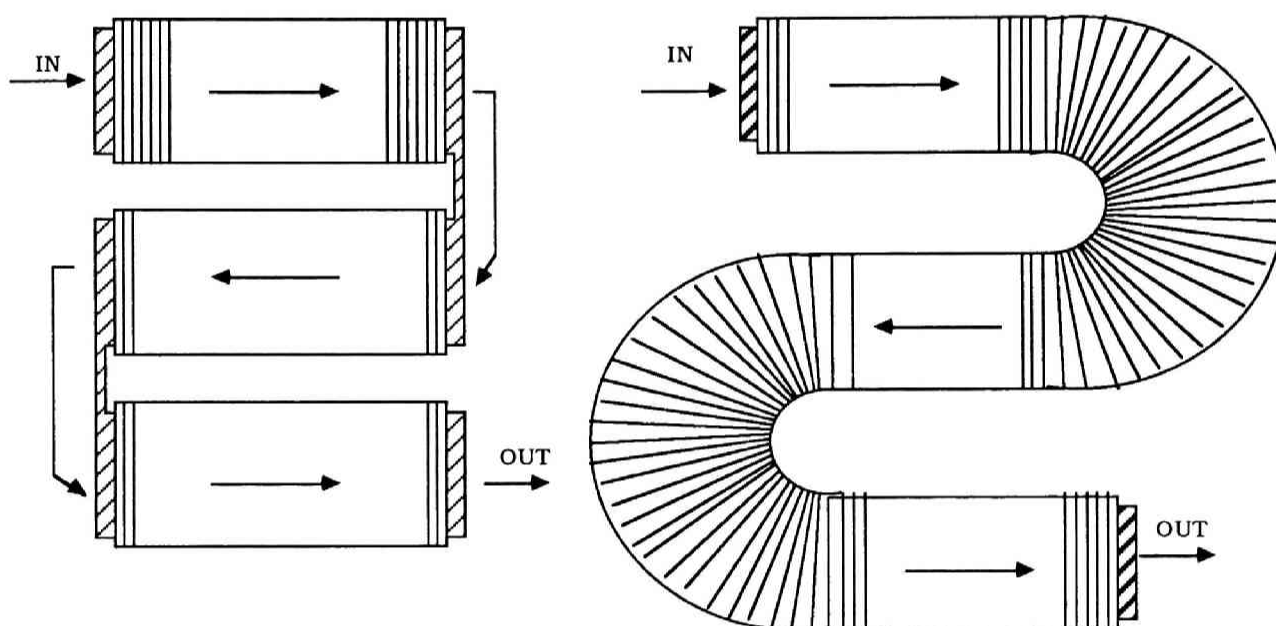
$f_{ck}=10.74\text{MHz}(T_{delay}=1H)$

第3.6.8図 1H遅延線として直線形CCDを使用した場合の映像写真例

両画面とも上半分が原信号(カ-バー)、下半分が遅延後の信号である

### 3.6.2 サerpentine形 1H CCDアナログメモリ

1H遅延線の第二の例として、折り返し部分で新規電極形状をもつサerpentine形CCDについて記述する。従来、サerpentine形CCDとしては第3.6.9図に示すような二つの方式が使われていた。



(a)拡散層折り返し形CCD[3.33]

(b)扇形電極折り返し形CCD[3.34]

第3.6.9図 従来形のサerpentine形CCDの例

しかし、拡散層折り返し形CCDの場合は折り返し部分での転送特性の劣下、扇形電極折り返し形CCDでは折り返し部分でチャンネルが大きく膨らむことによる素子の全体面積の増大というような欠点を、各々もっている。

このような点を改善するために、新規電極形状のサーペンタイン形CCD（以下S形CCDと略述する）を提案し試作した。新規S形CCDでは、用途としてVTR用のドロップアウト補正用の1H遅延線を考えているため、信号帯域としては3MHz、クロック周波数はサブキャリアの2倍の7.16MHzにとっている。その他の諸元も合わせて第3.6.4表に示す。

第3.6.4表 新規サーペンタイン形CCDの諸元と駆動条件

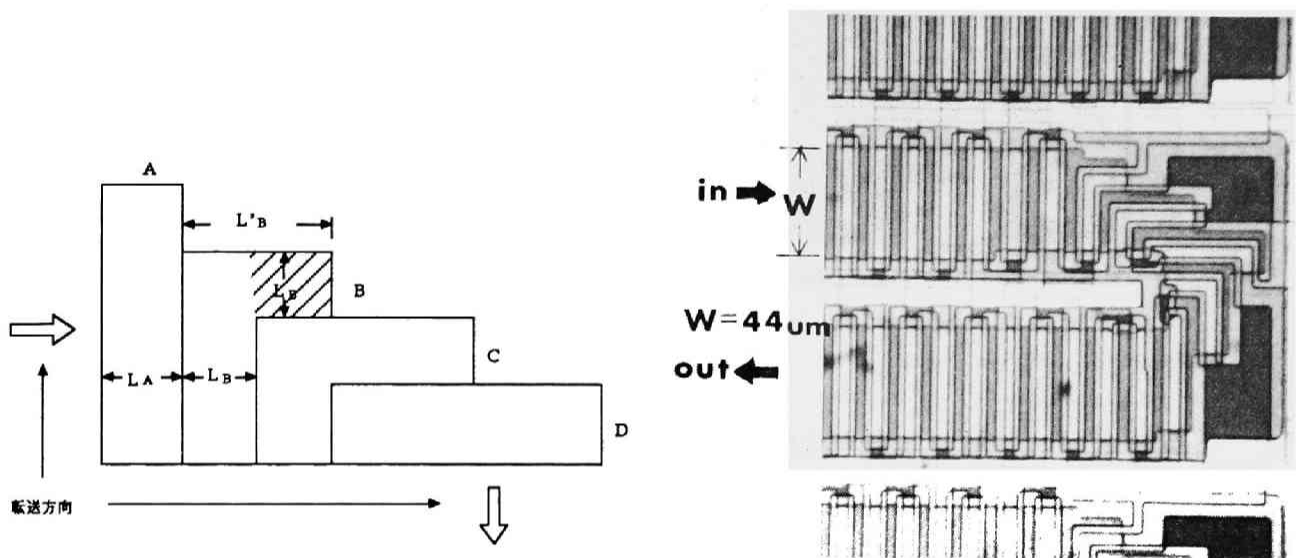
項 目	大 き さ	項 目	大 き さ お よ び 方 式
ゲート長Lst	9.0 $\mu\text{m}$	全ビット数	455bit
Ltr	5.0 $\mu\text{m}$	クロック周波数	7.16MHz
チャンネル幅	44 $\mu\text{m}$	駆動クロック相数	2相
CCD本体部	1.18x0.86mm <sup>2</sup>	クロック振幅	7.5v
ゲート酸化膜厚	0.12 $\mu\text{m}$	トランスファゲート・オフセット	3v
N-well 深さ	2.0 $\mu\text{m}$	入力方式	ダイオード・カットオフ
基板不純物密度	1.5x10 <sup>15</sup> cm <sup>-3</sup>	出力方式	リセットジャンクション
N-well不純物密度	3.0x10 <sup>15</sup> cm <sup>-3</sup>	折り返し数	11回

この素子で特徴的なことは、S形CCDの折り返し部分に第3.6.10図に示すような「曲尺形」の電極を使用していることで、これにより余分な面積を必要とせず良好な転送特性を実現している。第3.6.10図で、電極A→Bの場合を例にとって、この部分の転送動作を説明する。

- (1)電極Aに低電位、Bに高電位が印加されて電荷転送が開始されてから数nsec程度の時間は、Aの部分の電荷密度が大きく、第3.2.2節で述べたように自己誘導電界によるドリフトで90%以上の信号電荷がBへ転送される。
- (2)それ以降は、やはり第3.2.2節で述べたように、Aのフリンジ電界によるドリフトで残りの電荷転送が行われる。
- (3)一方、Bへ転送された信号電荷がAと接する部分から斜線部分まで拡がる動作は、電荷密度が大きいため、(1)と同様自己誘導電界により数n~十数nsecで完了する。従って、転送特性は(2)の過程でほとんど決定されるので、 $L_A$ を短くしておけばよく、 $L_{B'}$ は100 $\mu\text{m}$ 程度までであっても特性

に影響を与えない。電極B→Cの転送でも同様に $L_B$ の長さが重要で、これが $10\mu\text{m}$ 程度以下であれば問題無い。

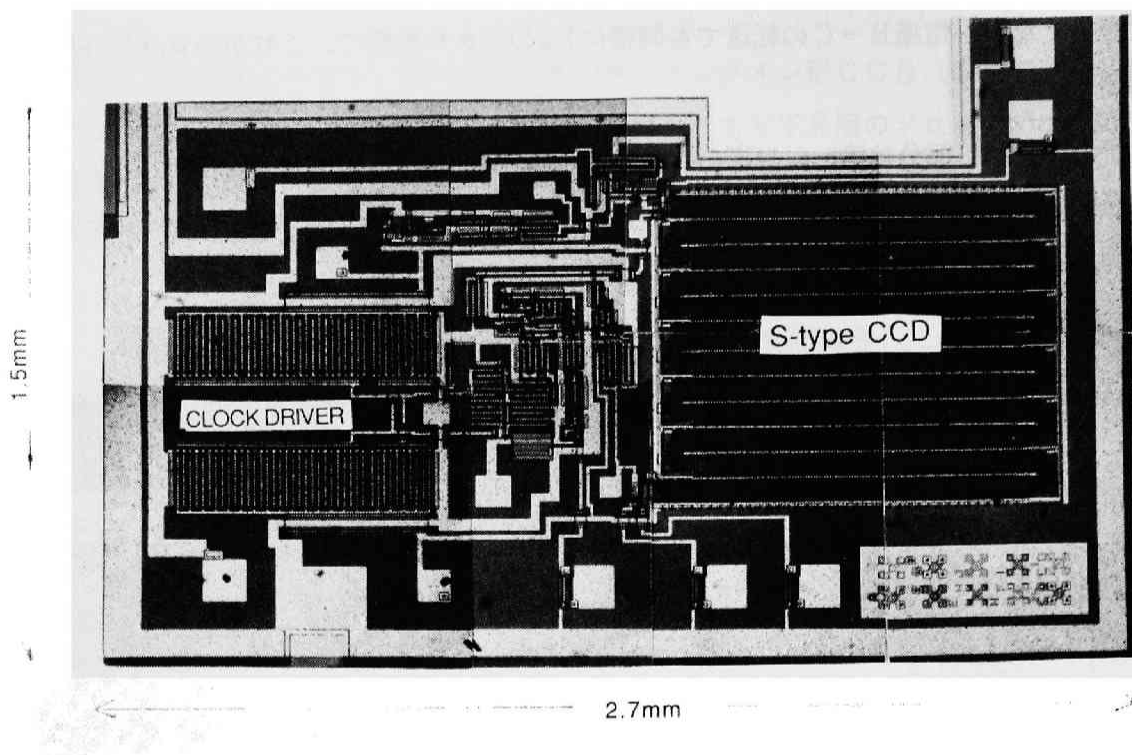
実際の素子の折り返し部分は第3.6.11図のようになっており、最大転送信号電荷量(S.H.C.)や暗電流の発生量の観点から、直線部分と折り返し部分とで電極下のチャンネル表面積がほぼ同一になるように設計してある。



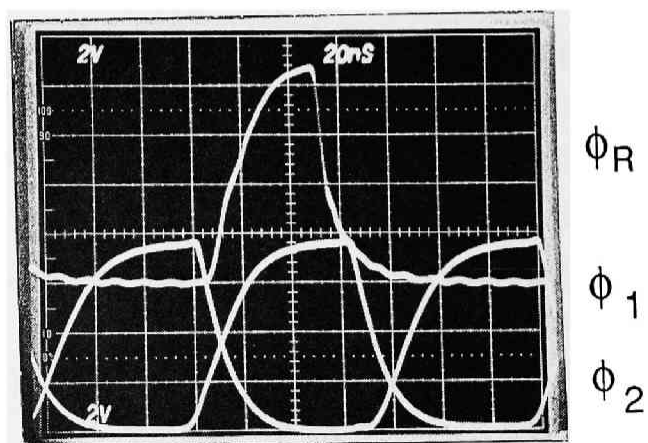
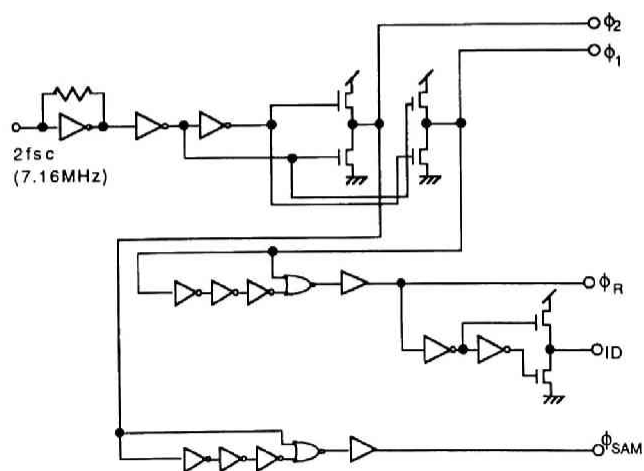
第3.6.10図 S形CCDの折り返し部分の基本構成

第3.6.11図 試作素子の折り返し部分の写真

第3.6.12図に試作したS形CCDの全体写真を示す。全体のビット数は455ビットで、折り返し回数は11回である。また、同一チップ上に、TTLレベルの基本クロックパルスを入力すると、約8V<sub>pp</sub>のCCD駆動クロックパルスとリセットパルス等生成するパルスジェネレータ／ドライバを内蔵している。駆動回路系は基本的にNch-E/D形のMOSであるが、ドライバの最終段は消費電力を減らすためE/Eプッシュプル形で構成してある。但し、V<sub>DD</sub>側のE-MOSFETは閾値電圧を正にするためにp形不純物をチャンネルにドーピングせず基板バイアス効果による閾値電圧変調が少ないものを使用する。CCDクロック電極容量は各相約30pFあり、これを駆動した時のパルス波形およびこの回路図を第3.6.13図に示す。但し、系の電源電圧V<sub>DD</sub>は9Vである。

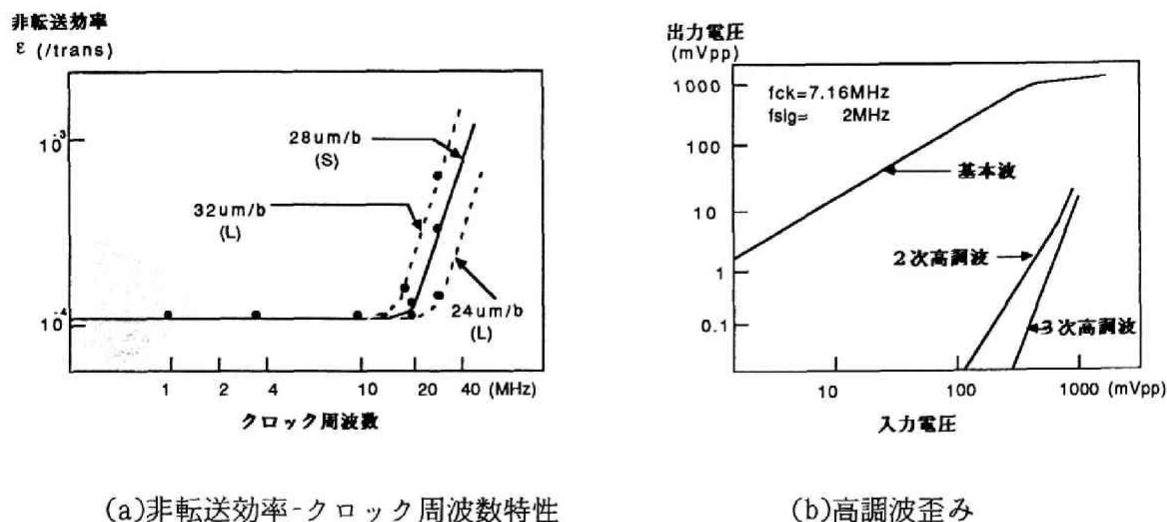


第3.6.12図 試作したS形CCDの全体写真



第3.6.13図 オンチップCCD駆動クロックパルス発生回路および波形

次に、S形CCDの主要な特性として非転送効率-クロック周波数特性と高調波歪みの測定結果を第3.6.14図に示す。



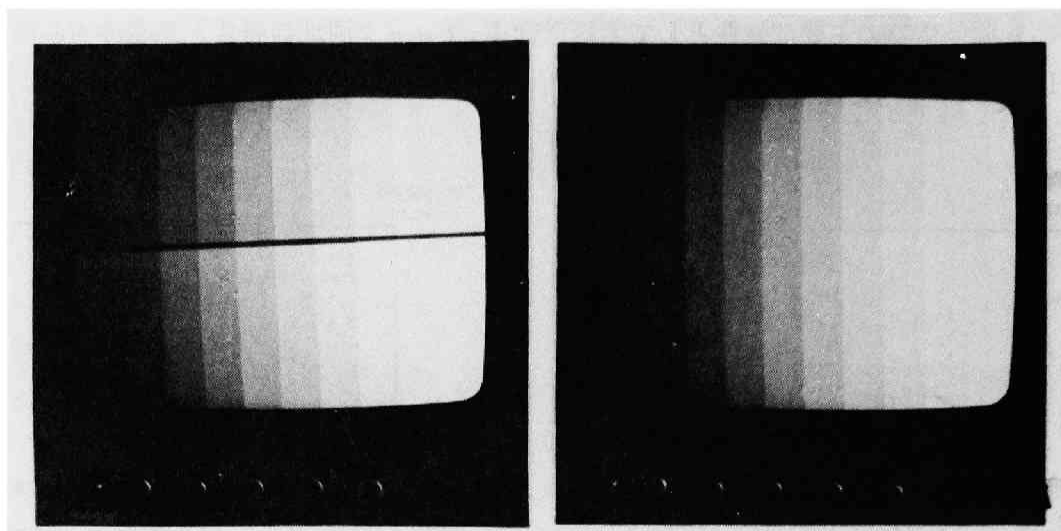
第3.6.14. 図 S形CCDの非転送効率-クロック周波数特性と  
S形CCDの高調波歪み

Nwellの深さ $y_j$ が浅いため、前述の直線形CCD ( $y_j=3.0\mu\text{m}$ ) に比べ、非転送効率が大きくなり始めるクリティカルな周波数 $f_{\text{max}}$ が下がっている。

最初に述べたように、このCCDは用途としてVTRのドロップアウト補正用を考慮しており、第3.6.15図に示したように、時間的に1H以内のドロップアウトの場合余り問題無いが、これ以上の場合は記憶して再生した内容を再び自己帰還して使用することになる。この時重要なのが、挿入損失と高調波歪みである。特に素子の挿入損失 $G_{\text{ccd}}$ は外部のフィルタやアンプ等と合わせたループゲインが正確に1になる必要があり、 $G_{\text{ccd}}$ の素子によるバラツキは許されない。しかし実測結果によると、CCDにより±数%のバラツキがあり、オンチップで自動的にゲインを制御し、一定化する回路（例えば、AGCアンプ）を付加する必要があることが分かった。高調波歪みについては、入力振幅が約300mVの時でも歪みが-40dBなので一応問題無い。

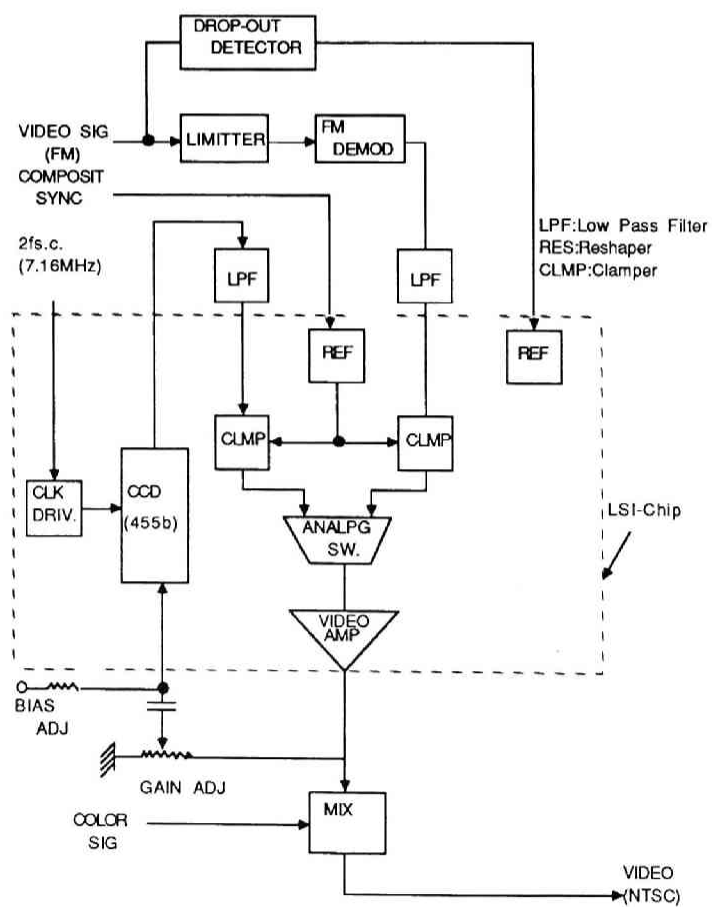
また、ドロップアウト期間は時間的には短いものと仮定できるのでランダム雑音はほとんど問題にならない。更に、クロックを一旦停めて保持するような動作モードもないので固定パターン雑音は無視することができる。





ドロップアウト発生時

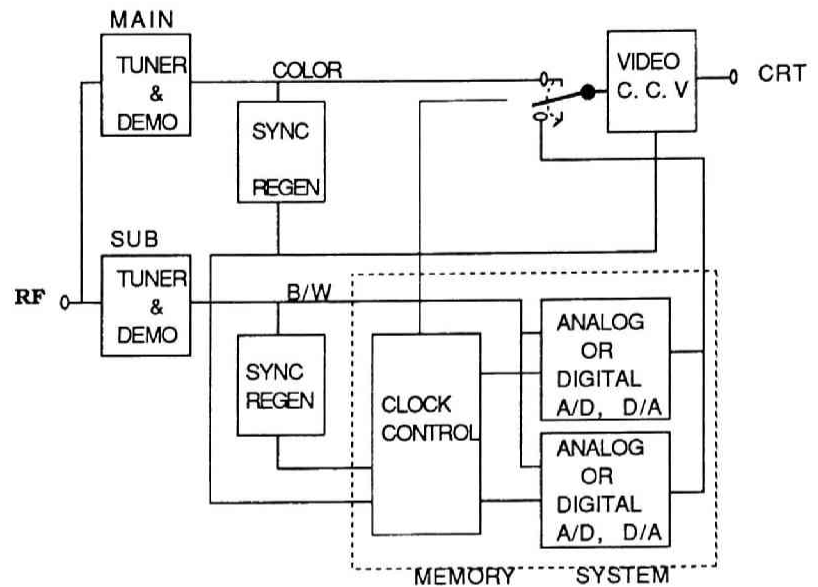
ドロップアウト補償後



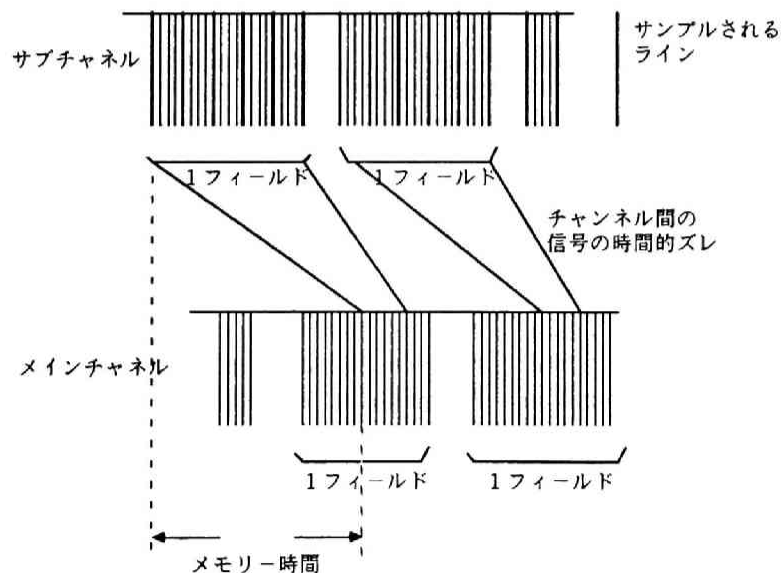
第3.6.15図 CCDを使ったVTRドロップアウト補正結果とその周辺回路

### 3.6.3 ピクチャ-イン-ピクチャ (P-in-P) TV用CCDフレームメモリ

P-in-P TVとは、メインチャネルの画面内に縮小された（通常約  $1/4 \times 1/4$ ）サブチャネルの画面を表示する方式で、メインチャネルとサブチャネルは一般に同期が取れていないので、サブチャネルの映像信号をこの同期信号を使って一旦バッファメモリに記憶し、改めてメインチャネルの同期信号によって読みだしメインの画面に表示するという操作が必要となる。ここで使用するバッファメモリは記憶時間として最大1フレーム（33msec）必要であるが、これをCCDアナログメモリで実現する。第3.6.16図に、P-in-P装置のブロック図を、第3.6.17図に、サブチャネルとメインチャネルとの映像信号の関係を示す。



第3.6.16図 P-in-P TV装置のブロック図



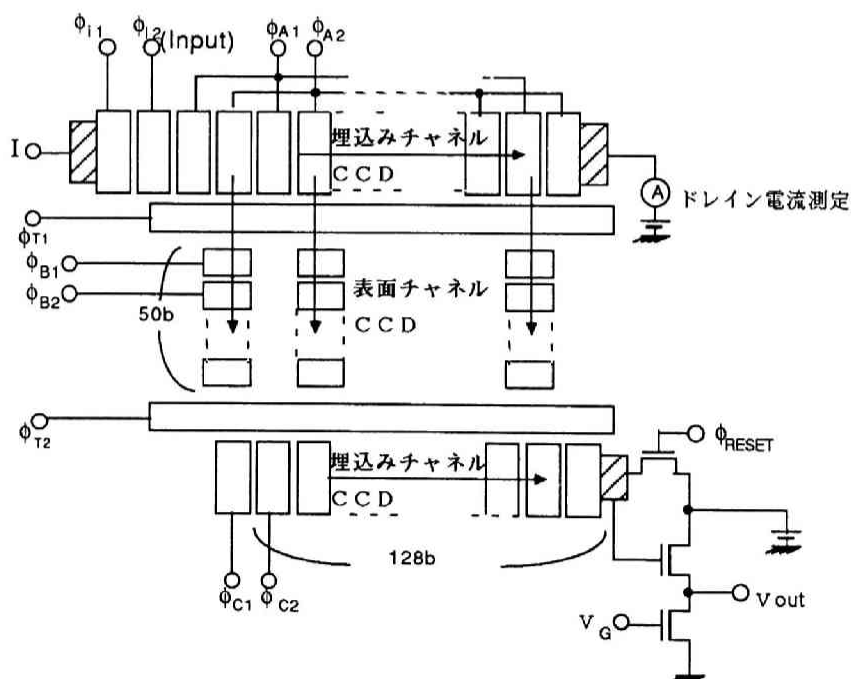
第3.6.17図 メイン-サブ両チャネル間の映像信号の時間関係

また、バッファ用のCCDメモリに要求される特性や諸元をまとめると、第3.6.5表のようになる。

第3.6.5表 CCDフレームメモリに要求される特性と諸元

項 目	特性と諸元
最大記憶保持時間	33 msec
必要ビット数	128 x 52 bit
書き込み／読み出しクロック周波数	2.52MHz／10.74MHz
読み出し時の信号帯域	3 MHz (-3dB以内)
S/N、歪み	約40 dB以上
電源電圧	1.8 V以下

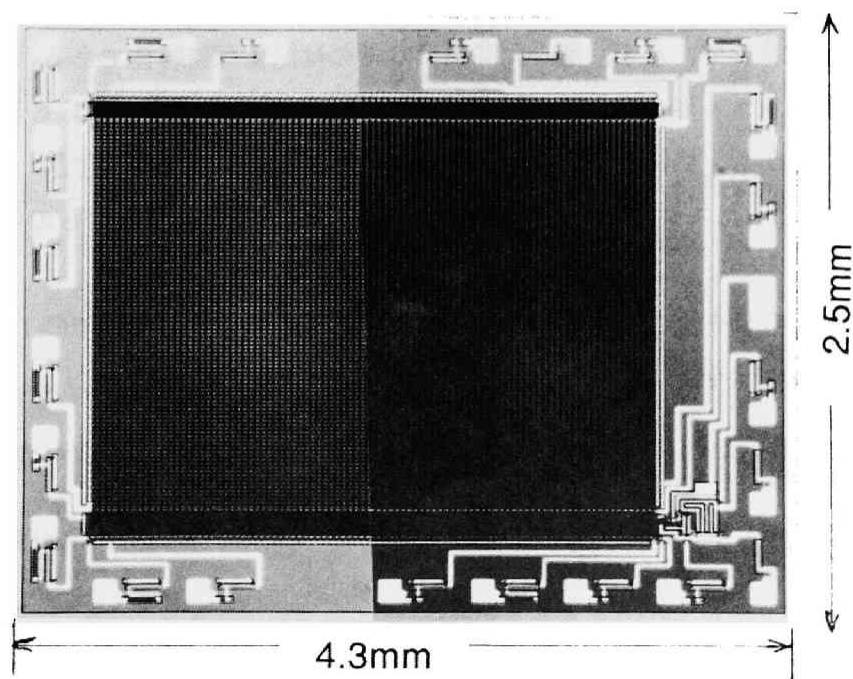
この表から、総ビット数は非常に多く、しかも読み出しのクロック周波数が比較的高いことが分かる。従って、単純なライン形のCCDではなく、いわゆる、SPS形（シリアルーパラレルーシリアル）のCCDを用いる。この方が、電極のパターン設計が容易で、しかもパラレル部分のクロック駆動周波数が低くて済むので有利である。



第3.6.18図 SPS-CCDにおける電荷転送説明図

S P S - C C D の転送動作の概要は、第3.6.18図に示すように、入力された信号電荷は上段のシリアル部を高速に（クロック周波数2.52MHz）水平転送され、一旦クロック駆動を停止して、シリアル部の各ビットから垂直の平行C C Dに移される。この水平から垂直への電荷移動（S→P転送）が終了すると、再びシリアル部のクロック駆動が開始され新たな信号電荷を読み込んでくる。一方、平行側の電荷転送は各S→P転送につき垂直方向の1ビット転送するようなクロック駆動を行う。このP-in-Pの場合、この周波数は水平同期周波数即ち、15.75KHzである。他方、下段における垂直から水平への電荷の移動（P→S転送）もS→Pと同様に行われて、その後シリアル部を高速で（クロック周波数10.74MHz）転送され出力される。従って、シリアル部は高速動作のため埋込みチャンネル形C C Dの方が都合がよい。また、3.4節で述べたように、暗電流特性は、表面チャンネル形C C Dの方がよいので、ここでは平行部に表面チャンネル形C C Dを使用する。

第3.6.19図に試作したS P S - C C Dのチップ写真を、第3.6.6表にこの素子の諸元を示す。



第3.6.19図 S P S - C C Dのチップ写真

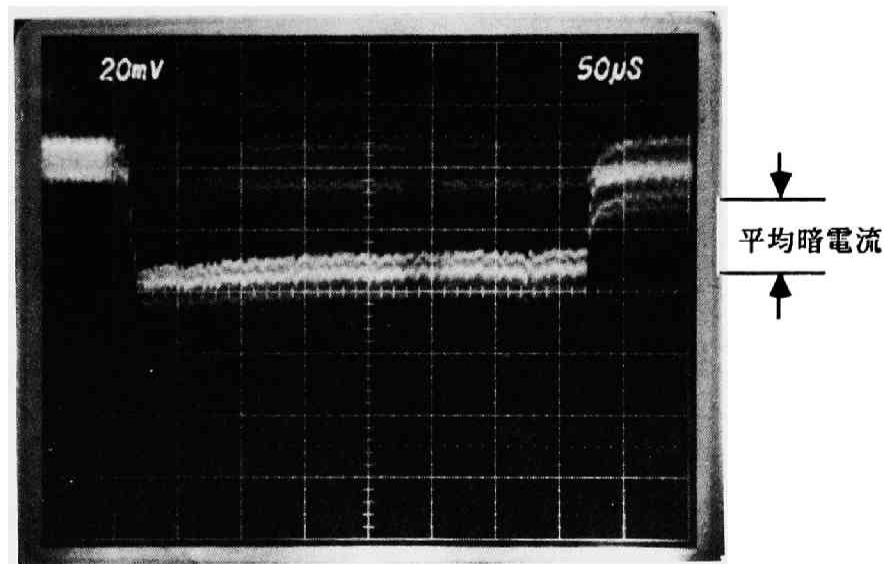
第3.6.6表 素子各部の諸元

主要部分	4.3 x 2.5mm <sup>2</sup> (水平x垂直)
シリアルチャンネル幅	90μm (入力側) / 140μm (出力側)
シリアルゲート長(ストレージ)	12μm
シリアルゲート長(トランスファ)	4μm
パラレルチャンネル幅	26μm
パラレルゲート長(ストレージ)	18μm
パラレルゲート長(トランスファ)	6μm
プロセス	2層ポリSi 1層Al、低欠陥用ゲッタリング実施
Nwell深さ(シリアル部のみ)	2.5μm
ゲート酸化膜厚	150nm
クロック駆動	2相

試作した素子の特性で、まず、第一に問題になるのは記憶保持特性である。室温で暗電流の平均値として、表面チャンネル形CCD部(P) 4.4nA/cm<sup>2</sup>、埋込みチャンネル形CCD部(S) 36nA/cm<sup>2</sup>と言う結果で、しかも、第3.6.20図に示すように、ゲッタリング工程を付加したプロセスのため、3.4節で問題になったスタッキングフォールトによるスパイク雑音的なものは少ない。

記憶される情報のほとんどがパラレル部で保持されるので、この部分での1フレーム保持した場合の雑音成分N<sub>D-PARA</sub>を評価すると、

$$\begin{aligned}
 N_{D-PARA} &= I_{D-PARA} \cdot (1\text{bitAREA}) \cdot 33(\text{msec})/C_{OUT} \\
 &= 4.4(\text{nA/cm}^2) \times 26.0(\mu\text{m}) \times 48.0(\mu\text{m}) \times 33(\text{msec})/0.5(\text{pF}) \\
 &\approx 3.6\text{mV} \quad (T=27^\circ\text{C}) \\
 &(\text{SHCに対応する出力電圧 } V_{OUTMAX}=600\text{mV} \text{ なので } S/N \approx 45\text{dB})
 \end{aligned}$$



保持時間 = 50 msec

平均暗電流 = 6 nA/cm<sup>2</sup>

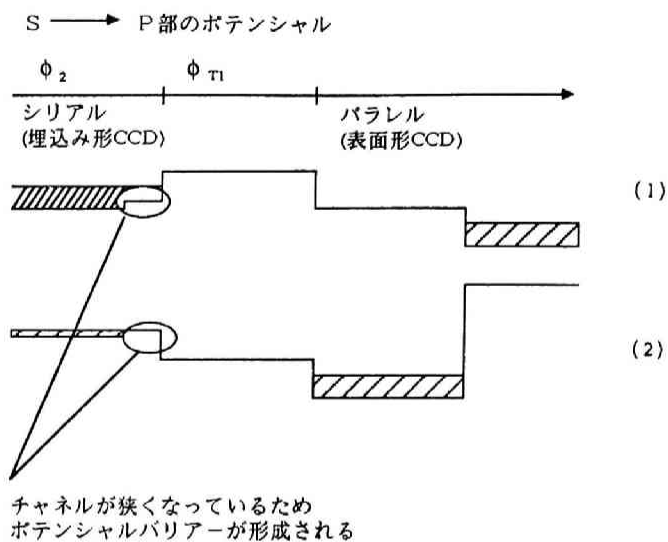
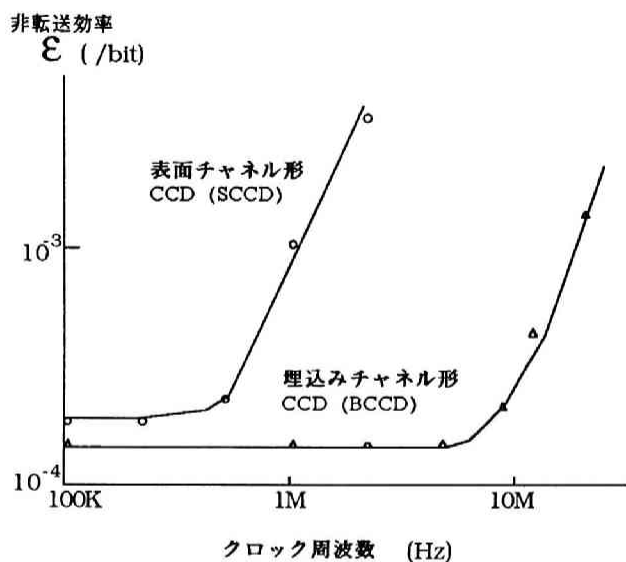
印加電圧 = 0.8 V

第3.6.20図 ゲッターリングプロセスによるスパイク雑音の減少

次に電荷の転送特性を評価する。表面チャネル形CCD（パラレル）、埋め込みチャネル形CCD（シリアル）各々についてのクロック周波数-非転送効率特性を第3.6.21図に示す。パラレル部の転送効率は余りよくないが、転送段数が少ないので問題ない。

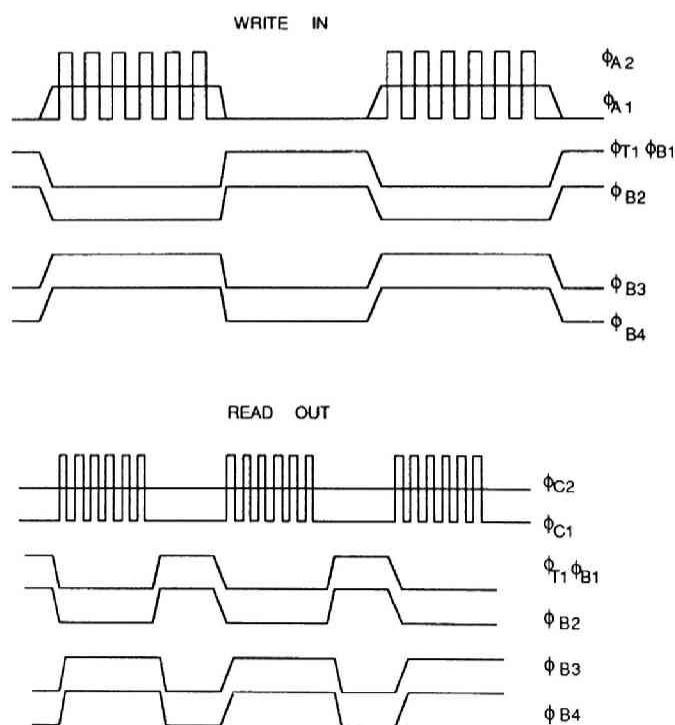
SPS-CCDで重要なのは、S→PおよびP→Sの電荷移動である。しかもこの場合では、パラレル側がチャネル電位の低い表面チャネル形CCDなので、特にS→Pの電荷移動が難しい。S→PおよびP→Sの電荷移動のチャネル電位を第3.6.22図に示す。

この様な電位関係を実現するために、第3.6.23図に示すクロックパルスを各ゲートに印加する。



第3.6.21図 パラレル部とシリアル部のクロック周波数-非転送効率特性

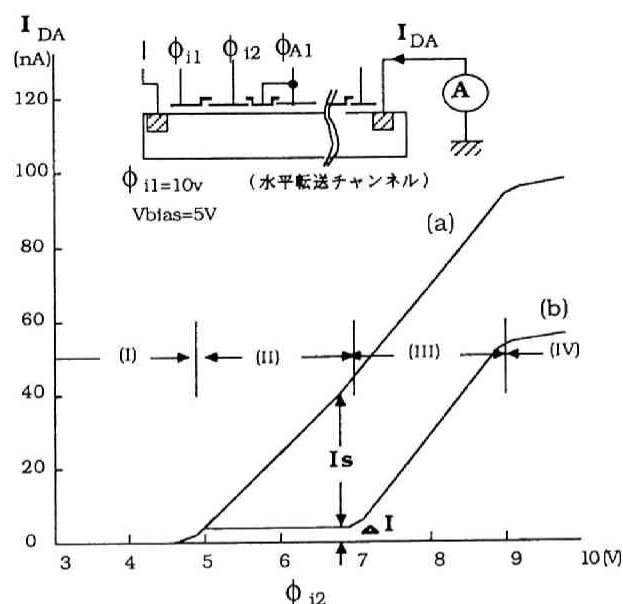
第3.6.22図 S → P および P → S 部分のチャネル電位



第3.6.23図 SPS-CCDに印加するクロックパルス

さて、上記のクロックパルスで  $S \rightarrow P$  電荷移動が100%なされているかを評価するため、次の実験を行った。入力側のシリアルCCDの入力端と反対側にあるドレインに電流計をつなぎ、入力部のゲート電圧を制御して少しずつ大きな信号電荷が注入される様にする。

第一の場合(a)は、 $S \rightarrow P$  電荷移動が起こらないように平行側への入口にある制御ゲートを常にOFF状態にしておく。第二の場合(b)は、第3.6.23図のパルスをそのまま印加する。これら二つの場合のドレイン電流 $I_{DA}$ を第3.6.24図に示す。



第3.6.24図 入力シリアル部の転送電荷で平行部に転送されなかった電荷に対応する電流

この図で、(I) は入力の制御電圧が低いため電荷の注入が無い領域である。

(II) は平行側へ電荷の移動が可能な領域である。但し、(b)の曲線で、固定的にドレイン電流が存在するのは、 $S \rightarrow P$  部分のゲート下に僅かなポテンシャルバリアが存在するためと考えられる。

(第3.6.22図で点線で示している。) (III) はシリアル部の転送電荷は増加しているが、平行部へ移動する電荷は飽和状態にある領域である。これは、シリアル部のSHCに比べ平行部のSHCが小さいため生じる現象と考えられる。(IV) は入力電荷が飽和している領域である。(II) の領域バリアによる損失はどのような構造にしてもある程度は発生するもので(たとえ全体を埋込みチャンネル形CCDで構成しても狭チャンネル効果のため $S \rightarrow P$  部分でやはりポテンシャルバリアができる。) 入力信号電荷以外にバイアス電荷を(FAT-ZEROと同様に) 注入してやることで、これに対応する必要がある。このポテンシャルバリアの高さが各平行チャンネルで微妙に異なっていると、それが出力に反映して薄い縦縞の固定パターン雑音を持った画像となる。このバラツキは、主に素子製作時の加工精度に依っており現在のところ、約-30dB以下に抑えることができる。(III) の領域はシリアル部と平行部とのSHCを調整することで無くすることもできる。(その結果、(II) の領域が大きくなる。)

このSPS-CCDの諸特性を第3.6.7表にまとめる。また、この素子を使ったP-in-P TVの映像例を第3.6.25図に示す。



第3.6.7表 S P S - C C D の諸特性

項 目	特性と測定条件
記憶時間	33msec
データ転送速度	2.69Mb/sec(in) 10.74Mb/sec(out)
クロック振幅	15Vpp(S) 8Vpp(P)
クロック入力容量	55pF(S) 600pF(P)
周波数特性	0 $\sim$ f <sub>H</sub> /2 までフラット
最大出力振幅	600mVpp (出力方式: リセットジャンクション法)
挿入損失	8dB (入力方式: 等ポテンシャル法)
暗電流によるS/N	45dB以上 (4.4nA/cm <sup>2</sup> , 27℃)



P-in-P画像



挿入画像の写真

第3.6.25図 S P S - C C D を使った P-in-P T V 画像例

### 3. 7 CCDメモリのまとめ

本章では、CCDメモリのうち、現在多く使われているアナログメモリについて、まず前章で提案したメモリの性能指標に従い、基本特性を解析した。次に、主に映像信号帯の分野への応用を考えたCCDとその周辺回路を一部含むデバイスを試作し、その諸特性を測定すると共に、実際に、その応用に必要な性能を備えているかという点についても検討した。

3.2節では、CCDの動作速度を決める、電荷転送特性について一般的に論じた。転送特性を考える上で最も基本になる特性量は「非転送効率： $\varepsilon$ （または、転送効率： $\eta = 1 - \varepsilon$ ）」であり、通常の応用分野では、 $\varepsilon \leq 10^{-4}$ 程度は必要とされている。転送効率の劣下は、(a)転送動作が時間的に間に合わないために起こる場合と、(b)キャリア電荷の一部が中間準位にトラップされて転送されないために起こる場合とがある。この節では、これらの場合分けして扱った。

まず、前者に関しては、電荷転送動作は二つの段階があり、前半は、ほぼ、多数キャリアの移動と類似した動作で、極めて高速に電荷の移動が起こる。この場合、信号電荷初期値の99%が転送されるまでの時間は1~2nsecである。一方後半は、少数キャリアの移動現象であり、CCD各種パラメータにより、電荷の移動時間は大きく異なってくる。表面チャネル形CCDでは転送方向の電界が小さいため、キャリア電荷は熱拡散によって移動するのに対して、埋込みチャネル形CCDでは電界によるドリフトが主体になってキャリアが移動する。

$\varepsilon \leq 10^{-4}$ 程度になるまでの時間 ( $T_2$ ) は、

$$T_2 = 4.6 \tau_{tr} = 4.6 D_0 \omega_1^{-2} = 4.6 D_0 (\pi / 2L_0)^2 \cdot \cdot \text{表面チャネル形CCD}$$

$$T_2 = \int_0^{L_0} (1/v) dx = \int_0^{L_0} (1/\mu E_0) dx \cdot \cdot \text{埋込みチャネル形CCD}$$

となり、ゲート長が5~15 $\mu m$ 程度の場合、埋込みチャネル形CCDの $T_2$ が1桁程度小さいので、より高速処理応用に適している。

一方、中間準位のトラップによる転送効率の劣下に関しては、CCDを駆動しているクロック周波数と関係なく、転送の信号パターンにより決まり、取り残される電荷の総数 ( $N_{L\text{TOTAL}}$ ) は、空パケットが $N_B$ 個、平均的な中間準位密度を $N_t$ とした時

$$N_{L\text{TOTAL}} = kTN_t \ln(2N_B + 1)$$

で表される。一般に、中間準位密度 $N_t$ は酸化膜界面付近が大きく、基板内部は小さいので、転送チャンネルが界面付近にある表面チャネル形CCDでは中間準位のトラップによる転送効率の劣下

が大きくなる。

以上の解析結果から、本論文では、映像信号帯域での応用に適した、埋込みチャネル形CCDを中心に記述する。

3.3節では、埋込みチャネル形CCDの電荷転送特性を定量的に検討するため、素子内部の2次元ポテンシャル分布を数値解析する。解析の手法は、電荷の転送方向をx軸、素子の深さ方向をy軸とし、2次元のポアソンの方程式を解くわけである。x方向は周期関数を仮定し、COSフーリエ級数に展開し、y方向で1次元化して解く。これは、見方を変えると、CCD（或はMOSデバイス）のグリーン関数を求めていることになる。最終的に、素子内のポテンシャル $\Phi(x, y)$ は、1次元の境界条件を満たす部分解 $v_n(y)$ を用いて次の様に表される。

$$\Phi(x, y) = \sum_n v_n(y) \cdot \cos(\omega_n x) \quad (v_n \text{は } y \text{ 方向の積分計算が含まれる。})$$

この式の値を、計算機を使って求めるには、x-y平面をメッシュに分割し、更に十分なだけの高調波成分（例えば、 $n \geq 256$ ）を取って演算を実行する必要がある。しかし、通常の偏微分方程式の解法（例えばSOR）と異なり、「マトリックス状の変数群に対して収束するまで何度も演算を実行する」といった必要がないので、同一の精度の解を得る場合では、計算に要する時間も極めて短く、必要とする記憶容量も少なくて済む。実際、500 x 500メッシュ相当の計算を標準的な汎用大型機（～1.5MFLOPS）を使って実行させた場合、2次元空乏層近似によるキャリア電荷の再分布計算も含めて、結果は約10分で求まり、使用記憶容量は4MB以下であった。

また、計算機解析の結果と実測結果とは比較的よく一致しており、この方法の有効性を示している。今後、素子が微細化された場合でも、移動度 $\mu_0$ の電界依存性だけに注意すれば全く支障なく適用することができ、非常に強力な方法である。

3.4節では、CCD本体の雑音特性について解析した。大別すると、比較的長時間記憶する場合に問題となる暗電流による固定パターン雑音と、トラップされたキャリア電荷が放出される時の「ゆらぎ」が雑音になるランダム雑音の二種類がある。

前者は特に映像信号のフレームメモリ等の応用で重要で、暗電流（ $I_{\text{DARK}}$ ）は温度（ $T$ ）に対して  $I_{\text{DARK}} \sim N_t T^{3/2} \exp(-E_g/2kT)$  のような依存性があるのでチップ温度を70℃程度まで上昇させた場合にも十分な特性（例えば $S/N \geq 40\text{dB}$ ）を得るためには、暗電流の発生源である中間準位密度（ $N_t$ ；この場合は空乏層全体が対象となる）をゲッターリング等の技術を使って小さくする必要がある。

一方後者は、MOSFET等の $1/f$ 雑音と同一の原因のものであるが、CCDの転送動作によって

変調されるため  $\sim N_t [1 - \cos(2\pi f/f_{0k})]$  のようなスペクトラムを持つ。従って、周波数  $f$  が  $1/2 f_{0k}$  で最大電力になる比較的帯域の広い雑音であるが、埋込みチャネル形 CCD ではチャネル部分の中間準位密度 ( $N_t$ ; この場合はキャリアが通過するチャネル部分のみが対称となる) が小さいため、S/Nとしては40dB以上が得られ、映像信号処理応用の分野ではさほど問題にならない。

3.5節では、CCDの入出力回路について議論した。

入出力回路方式では、ダイナミックインジェクション法、ダイオードカットオフ法、等ポテンシャル法の三種類について、直線性や挿入損失（または利得）を考察した。

出力回路方式では、リセットジャンクション法、フローティングジャンクション法、フローティングゲート法、電流積分法の四種類について、周波数特性、出力回路雑音、直線性、損失（または利得）等を考察する。

実際に試作した素子では、入力回路として直線性が比較的よいダイオードカットオフ法もしくは等ポテンシャル法を、出力回路として製造が容易で安定した出力が得られるリセットジャンクション法を採用した。

3.6節では、前節までの解析結果を総合的に使って試作したアナログメモリ用のCCDの諸特性を測定評価する。

第一の例は、映像信号の1H（1走査線分=63.5 $\mu$ sec）のラインメモリで、形状的には最も単純な直線形である。クロック周波数は10.74MHz、転送ビット数は682.5、信号帯域としては標準のNTSC映像帯域である $\sim 4.0$ MHzを目標仕様としている。試作素子一個の寸法は、転送方向の長さ14mm、幅0.6mmと非常に細長い。また、主要な特性としては、信号帯域4.2MHz、S/N 40dB以上、記憶可能時間200 $\mu$ sec以上（室温）、のような測定結果を得た。特性的には一応実使用に耐え得るものであるが、形状が細長くLSIとして量産化するには適していない。

第二の例は、同じく映像信号の1Hラインメモリであるが、形状をより正方形に近くするためにCCD転送チャネルを蛇行するように折り曲げてある。更に、素子の使い勝手をよくするためクロック駆動回路等の幾つかの周辺回路もオンチップ化している。この素子の用途としては、VTRのドロップアウト補正（1H以前のデータで補完する方式）を想定しており、クロック周波数は7.16MHz、転送ビット数は455、信号帯域は輝度信号の帯域 $\sim 3$ MHzを目標仕様としている。試作した素子の寸法は、CCD本体部が1.2 x 0.9mm<sup>2</sup>、周辺回路も含んだチップ全体で1.5 x 2.7mm<sup>2</sup>である。特性は信号帯域3.0MHz以上、直線性も含めてのS/Nは40dB以上あり、電源電圧9Vで250mWの消費電力で動作する。この素子で特徴的な技術は、CCD本体部のチャネルの折り返し

部分である。3.2節或は3.3節で解析した結果を利用し、曲尺形の電極を使って非常に小さい面積でしかも転送特性上何等问题なくチャンネルの折り曲げを実現している。

第三の例は、映像信号のフレームメモリである。ラインメモリとフレームメモリとの大きな違いは、記憶容量と記憶時間で、何れも後者の方が二桁程度大きい。CCDで大容量（シリアル）メモリを実現するのはさほど困難ではなく、特にフレームメモリの場合、SPS（シリアル-パラレル-シリアル）形を使えばクロック系も合わせて利用できる所以で比較的容易である。むしろ、問題は1フレーム（～33msec）の記憶時間である。試作した素子は、ピクチャ-イン-ピクチャ方式のTVの挿入副画面記憶用で、 $1/4 \times 1/4$ 画面分の情報を最大1フレームの時間記憶する必要がある。従って、記憶ビット数は128(H)x52(V)ビットで、素子寸法は4.3x2.5mm<sup>2</sup>である。長い記憶時間特性をもたせるため、二種類の方法で素子の暗電流を減らす。まず、SPS構造の中で、転送速度が低くてよいパラレル部分のCCDを相対的に暗電流の少ない表面チャンネル形CCDで構成する。更に、素子製造の過程で、ゲッタリング等を必要に応じて実施し、チャンネル部分に各種の欠陥が発生するのを減らす。以上の結果、暗電流密度は、従来より1桁以上下がり、素子の記憶保持時間は室温で33msec以上を達成した。CCDの転送特性は、水平方向は、埋込みチャンネル形CCDで実現しているので特に問題はなく、垂直方向は表面チャンネル形CCDなので転送効率はよくないが、段数が少ないので実用上問題ない。

最後に、CCDアナログメモリの一般的な問題点と今後の研究開発テーマについて簡単に述べる。

本章での試作素子の特性から分かるように、現在のレベルでは、素子の温度が70℃以上の高温になった場合の記憶特性が充分でない。従って、更に低欠陥の製造技術を開発し、これを使って暗電流密度の極めて小さな素子を作る必要がある。

また、素子の特性のうち、直線性や挿入損失（または利得）は素子の幾何学的形状に大きく依存しており、素子の出来上り時の寸法精度を向上させれば、非常によい特性が得られる。このため、今以上のLSIの微細加工技術が必要になる。微細加工技術は記憶容量を大幅に増加させる上でも有効なのはもちろんである。

更に、素子の使い易さを向上させるため、各応用に必要な周辺回路をオンチップ化することが重要である。3.6節で述べたクロック駆動回路等以外に、特性のよい各種アナログ回路をオンチップ化するにはCMOS回路が必要である。このため、CCDの製造プロセスは一層複雑になり、このプロセスによって発生する結晶の欠陥も多くなる可能性がある。言わば、素子の暗電流特性と使い易さとのトレードオフになる。この場合もやはり、製造技術の一層の向上を期待せねばならない。アナログ周辺回路の設計に際しては、コンピュータによる回路解析（CAD）を充分に行っておく必

要がある。

これらの何れもが、CCDのみならず通常のメモリを始めとする一般LSI/VLSIの技術の進む方向と一致しているので、将来更に大容量で高性能のCCDが開発される可能性が非常に大きいと考えられる。

### 第3章の参考文献

- [3.1]W. S. Boyle and G. E. Smith, "Charge coupled semiconductor devices," B. S. T. J., vol. 49, pp. 587-593, 1970
- [3.2]R. H. Walden, R. H. Krambeck, R. J. Strain, J. McKenna, N. L. Schryer and G. E. Smith, "The Buried Channel Charge Coupled Devices," B. S. T. J., vol. 51, PP. 1635-1640, 1972
- [3.3]D. M. Erb, W. Kotyczka, S. C. Su, C. Wang and G. Clough, "An Overlapping Electrode Buried Channel CCD," IEDM, Tech. Digest, pp. 24-26, 1973
- [3.4]M. J. J. Theunissen and L. J. M. Esser, "PCCD Technology and Performance," CCD74 Int. Conf., Edinburgh, Proc., pp. 106-113, 1974
- [3.5]L. M. Terman and L. G. Heller, "Overview of CCD Memory," IEEE J. Solid-State Circuits, vol. SC-11, No. 1, pp. 4-9, Feb. 1976
- [3.6]C. K. Kim and R. H. Dyck, "Low Light Level Imaging with Buried Channel Charge Couple Devices," Proc. IEEE, vol. 61, pp. 1146-1147, 1973
- [3.7]L. Walsh and R. H. Dyck, "A New Charge-Coupled Area Imaging Device," CCD Appl., Conf. San Diego, Proc., pp. 21-22, 1973
- [3.8]D. F. Barbe, "Charge-Coupled Devices and Charge-Injection Devices Imaging," IEEE J. Solid-State Circuits, vol. SC-11, No. 1, pp. 109-114, Feb. 1976
- [3.9]Y. Terui, T. Wada, M. Yoshino, H. Kadota, et. al., "A Solid-State Color Image Sensor using ZnSe-ZnCdTe Heterojunction Thin-film Photo-conductor," IEEE Intn'l Solid-State Cir. Conf., (ISSCC80) Dig. Tech. Papers, pp. 34-35, Feb. 1980
- [3.10]C. Sequin and M. Tompsett, 'Charge Transfer Devices,' Academic Press, New York, 1975
- [3.11]S. M. Sze, 'Physics of Semiconductor Devices,' John Wiley & Sons, New York, 1969
- [3.12]L. G. Heller, W. H. Chang and A. W. Lo, "A Model of Charge Transfer in Bucket Brigade and Charge-Coupled Devices," IBM J. Res. Develop., vol. 16, pp. 184-187, Mar. 1972
- [3.13]H-S. Lee and L. G. Heller, "Charge-Control Method of Charge-Coupled Device Transfer Analysis," IEEE Trans. Electron Devices, vol. ED-19, No. 12, pp. 1270-1279, June 1972
- [3.14]J. E. Carnes, W. F. Kosonocky, and E. G. Ramberg, "Free Charge Transfer in Charge-Coupled Devices," IEEE Trans. Electron Devices, vol. ED-19, No. 6, pp. 798-808, June 1972



- [3.15]T. Ohzone, S. Horiuchi, H. Kadota and K. Kagawa, "Coplanar Al-Al<sub>2</sub>O<sub>3</sub>-Al Gate CCD," Tech. Dig. 1976 IEDM, pp.35-37, Dec. 1976
- [3.16]A. S. Grove, 'Physics and Technology of Semiconductor Devices', John Wiley & Sons, New York 1967
- [3.17]A. M. Mohsen, T. C. McGill, Y. Daimon and C. A. Mead, "The Influence of Interface State on Incomplete Charge Transfer in Overlapping Gate Charge-Coupled Devices," IEEE J. Solid-State Circuits, vol.SC-8, No.2, pp.125-138, Feb. 1976
- [3.18]M. F. Tompsett, "The Quantitative Effects of Interface States on the Performance of Charge-Coupled Devices" IEEE Trans. Electron Devices, vol.ED-20, pp.45-55 No.1, Jan. 1973
- [3.19]R. W. Brodersen, D. D. Buss and A. F. Tasch Jr., "Experimental Characterization of Transfer Efficiency in Charge-Coupled Devices," IEEE Trans. Electron Devices, vol.ED-22, No.2, pp.40-46, Feb. 1975
- [3.20]山崎, 他 電気音響学会資料, EA72-28, 1973
- [3.21]大場信弥, 久保証治 「BCD(Bulk Charge-transfer Device)の電荷移送特性の解析」 電子通信学会論文誌 (C) vol.57-C No.11, pp.378-394 1974年 11月
- [3.22]D. Schechter and R. D. Nelson, "The Calculation of Potential Profiles in CCD's Using Green's Function Techniques," IEEE J. Solid-State Circuits, vol.SC-11, No.1, pp.225-228, Feb. 1976
- [3.23]廉田, 大曾根, 香川, 堀内, 「1ライン用CCDビデオ遅延線」 電子通信学会 半導体トランジスタ研究会資料 SSD77-5, pp.35-44
- [3.24]B. Dale, "The Validity of the Depletion Approximation Applied to a Bulk Channel Charge-Coupled Device," IEEE J. Solid-State Circuits, vol.SC-11, No.1, pp.207-214, Feb. 1976
- [3.25]D. F. Barbe and N. S. Saks, "A Trade-off Analysis of Speed versus Charge-Handling Capability for CCD's," Intn'l Conf. of Tech. and Appl. of CCD, Edinburgh, pp.114-122, 1974
- [3.26]P. M. Morse and H. Feshbach, 'Methods of Theoretical Physics,' McGraw-Hill, New York, pp.791-895, 1953
- [3.27]D. G. Ong and R. F. Pierret, "Thermal Carrier Generation in Charge-Coupled Devices," IEEE Trans. Electron Devices, vol.ED-22, No.8, pp.503-602, Aug. 1975
- [3.28]廉田, 和田, 大曾根, 堀内, 「表面形CCDにおける暗電流特性」 応用物理学会 1976年春季全国大会 27p-N-2 p.350



- [3.29]G. Rozgonyi et al., "Elimination of Stacking Faults by Pre-Oxidation of Si Wafers," J. Electrochemical Soc., vol.123, p.570, 1976
- [3.30]フツ デア ツイ-ル (平野訳) 「雑音」 東京電機大学出版局 昭和48年 p.17
- [3.31]M.A. Copeland, D. Roy and C.C. Chen, "A Multiplexed Video Band Width CCD Delay Line," IEEE Intn'l Solid-State Cir. Conf., (ISSCC75) Dig. Tech. Papers, pp.146-147 Feb. 1975
- [3.32]青木、大場、橋本、久保 「低電圧駆動BCD形ビデオ遅延線」電子通信学会技術研究報告書 SSD76-14 Vol.76 No.68 pp.1-8 1976年6月
- [3.33]D.D. Wen, "A CCD Video Delay Line," IEEE Intn'l Solid-State Cir. Conf., (ISSCC76) Dig. Tech. Papers, pp.204-205 Feb. 1976
- [3.34]Fairchild社 CCDカタログ
- [3.35]香川、廉田、大曾根、堀内、 「PAL/SECAM 色復調用CCD」電子通信学会技術研究報告書 SSD78-41 Vol.78 No. pp.15-20 1978年

## 第4章 マルチポートメモリとしての レジスタファイル

### 4.1 はじめに

この章では、ディジタル形の機能メモリの単純な例として、マイクロプロセッサ（以後、M P U と略記する）中に使用するマルチポートメモリ、レジスタファイルについて記述する。

レジスタファイルの機能性は次章で述べる連想メモリに比べるとかなり小さく、単なるR A Mに近いが、後述するように、この素子は単に高速性を要求されるだけでなく、プロセッサ全体の動作から同時に2ワード以上を読んだり、場合によっては書いたりもすることが必要となる。この様に複数のI / Oポートから独立に読み書きできるR A Mをマルチポートメモリと呼び通常のR A Mに比べ機能性が増しているので、それらを区別する。

そこでまず、マルチポートメモリ全般について概略の分類を行う。

#### 4.1.1 マルチポートメモリの分類

マルチポートメモリは同時に複数のI / Oポートから記憶内容を読み書きできるR A Mであるが、これは素子外部から見てそのような動作を実行していればよく、内部のメモリセルは通常のR A Mと同一で周辺回路を工夫して等価的に「マルチポート動作」をしているものもある。このような形式のものを「周辺制御形マルチポートメモリ」と呼ぶ。

一方、メモリセル自体も複数のワード線、ビット線(対)からなる形式のものもあり、これらを「イントリンシック形マルチポートメモリ」と呼ぶ。

これらの二つの形式には、各々、次のような特徴とそれに対応した応用分野がある。

まず周辺制御形は、メモリセルが集積度の高いD R A MまたはS R A Mのセルをそのまま利用できるので、記憶容量が非常に大きくとれる利点があるが、同時に複数のワードのアクセスがあった場合、周辺回路でアクセスを順番に処理していくため、平均的な処理速度は遅くなる。従って、この形の応用分野としては、画像メモリ(Video-RAM)のような入出力のタイミングは独立とは言えある程度定型化しており周辺回路をうまく設計すれば外部からはアクセス時間の遅さが見えない（または、問題とならない）分野か、アクセスタイムよりも記憶容量が絶対的に必要な分野に適している。

これに対して、イントリンシック形は、メモリセルの大きさがDRAMの十数倍、SRAMの数倍となり記憶容量は余り大きく取れない。しかし、複数ワードの同時アクセスに対して完全に応答することが可能で、高速のアクセスを得ることができる。このため高速動作が第一に必要な各種プロセッサ内のレジスタファイル等では、この形のマルチポートメモリが使用される。以上の分類の概要を第4.1.1表にまとめる。

第 4.1.1 表 マルチポートメモリの分類

大分類	詳細分類	応用例
周辺制御形	シリアルI/Oを含む	V i d e o - R A M
	パラレルI/Oのみ	データベース処理用マルチポートメモリ
イントリンシック形	オンチップ素子	レジスタファイル
	スタンダローン素子	---

#### 4.1.2 本章の構成

まず4.2節で、周辺制御形マルチポートメモリについて、同時に複数のアクセスがある場合にその処理を実行するための回路構成と動作を簡単に述べる。次にイントリンシック形のマルチポートメモリとして、16bMPU中に使用されたレジスタファイルの構成、回路の特徴と動作特性を説明する。このレジスタファイルは、当初、“1-Read/Write 1-Read”の2ポート構成で設計されたが、MPU全体の動作速度を向上させるため“2-Read 1-Write”の3ポート形に修正設計し、3 $\mu$ m-NMOSプロセス技術を使って試作された。

4.3節では、このレジスタファイルを使った16bMPU全体の動作と性能を簡単に記述する。

最後に、4.4節ではこの章のまとめを行う。

## 4. 2 マルチポートメモリおよびレジスタファイルの構成と動作

### 4. 2. 1 周辺制御形マルチポートメモリの動作特性

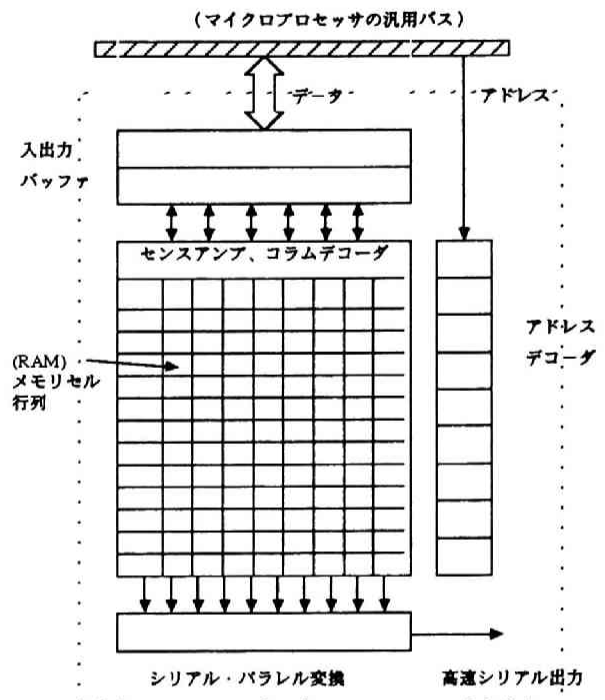
複数のポートから同時に入出力を行い、しかも大きい記憶容量を必要とする応用分野では、周辺制御形のマルチポートメモリが使われる。内部のメモリはDRAM（場合によってはSRAM）と変わらない1ポート形式であるため、複数のアクセスに対しては優先順位を付けてその内の一つを実行し、他のアクセスは周辺回路中のバッファもしくは類似の回路要素で一旦待機させ、優先された処理が終了後に順次処理が開始される。

この形のメモリの代表的なものとして、VRAM (Video-RAM)がある。[4.1], [4.2] この構成を第4.2.1図に示す。この素子は、パラレルのI/Oポートと、シリアル出力ポート（場合によってはI/Oポートのこともある）の2ポートからなる。

シリアル側は、ビデオ信号用に使われるため、クロック周波数 15～100MHz(サイクルタイム: 60～10nsec) というかなりの高速で信号が出力される。

パラレル側は、MPUまたは専用プロセッサ等のデータバスに接続されており、1ワード16～32bの並列信号が120n～2μsecのサイクルで入出力する。

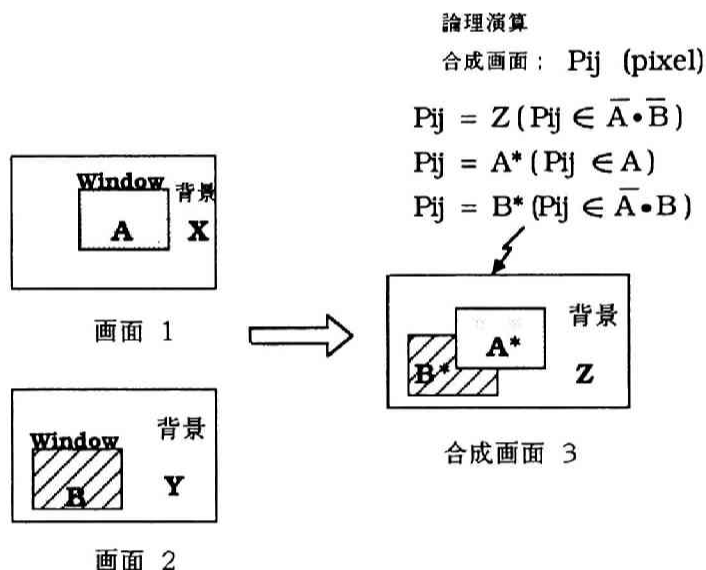
内部のメモリのサイクル時間は100～200nsecで上記のパラレル側のサイクルとはマッチングが可能であるが、シリアル側は速度が間に合わないで、メモリ部では並列（例えば、256b程度）に複数ビットをアクセスし、これを周辺部でパラレル-シリアル変換し、高速のシリアル出力を実現している。従って、シリアルポートから内部のメモリセル行列への読み出しアクセス頻度はかなり少ない。VRAMの場合、2ポートからのアクセスの調整は比較的簡単で、ビデオ信号と接続されているシリアル出力を中断することはできないので、原則としてシリアルポートからのアクセスが常に優先される。しかし、前述のように、シリアルポートアクセスでは、内部のメモリは時々アクセスされる程度なので、パラレルポート側は1ワード分のバッファを用意しておけば、2ポ



第 4.2.1 図 VRAMの構成

ートからの同時アクセスにも充分対応できる。パラレルポートが接続されている外部バスが非同期式（メモリ側の準備が整うまでアクセス完了を WAIT する方式）のバスの場合、このバッファも unnecessary になる。

近年、VRAM に対して更に機能を追加する試みが行われている。[4.8] 従来はシステム制御用プロセッサが行っていた画面表示処理の一部、例えば、二つの画面情報の論理合成や切替え処理などが VRAM の機能に追加されている。（第 4.2.2 図参照）この様な改良は、単に、多くの機能を取り込んで便利な素子を作ったと言うよりも、画面表示処理のように「並列処理に向いている機能を、本質的に並列性を内蔵するメモリ素子側に付加することで、システム全体の性能向上を図る試み」と捉えることができる。



第 4.2.2 図 VRAM に対する機能付加の説明図

周辺制御形のマルチポートメモリとして、VRAM のように用途を限定した専用の素子でなく、汎用の素子も構成することができる。[4.4][4.5] しかし、この場合は、複数のアクセスが同時に発生した時の処理は、VRAM の場合に比べるとかなり複雑になる。

まず第一に、複数のアクセスに対する優先度をどのように付け順次実行するかを決めなければならない。更に、アクセスを一旦蓄えておくバッファの容量も、最大、ポート数だけ設けることを考慮しなければならない。

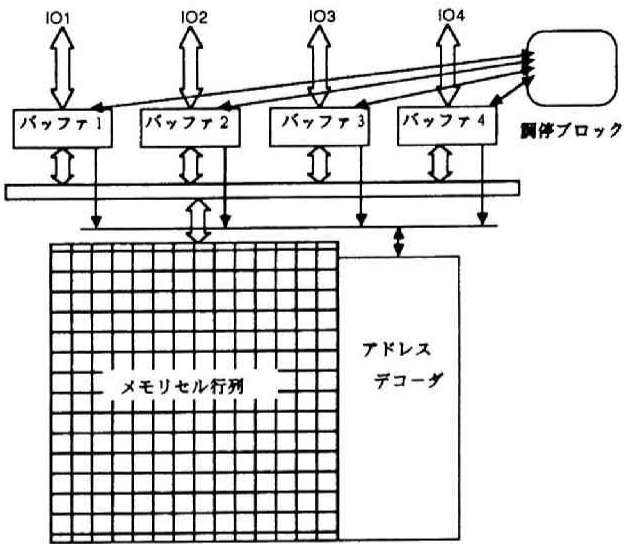
これらの処理のため、周辺制御形の汎用マルチポートメモリには、素子を使用されるシステムが

必要とするワード数のバッファと、複数のアクセスの処理順を決める調停回路が存在する。

この素子の平均的なアクセス時間  $T_{acc}$  は、待ちなしのアクセス時間を  $T_o$ 、平均待ち時間を  $T_w$ 、待たされる確率を  $P_w$ 、とすると、

$$T_{acc} = T_o(1 - P_w) + (T_w + T_o)P_w$$

この  $P_w$  やバッファの容量を最小化するために、システム全体の動作と素子の特性とを考慮した効率のよいアクセス衝突の管理を実現する必要がある。



第 4.2.3 図 汎用の周辺制御形マルチポートメモリ

#### 4.2.2 MPU中のレジスタファイルの動作

コンピュータシステムの記憶要素ハイアラキーの中で、CPU中のレジスタはその最上位に位置しており、最も高速であり、従って、最も高価な資源と言うことができる。また、CPUが行う全操作のうちで、レジスタが何等かの意味で関係しているものの割合は極めて高く（通常 90%以上）、ALU等の演算部分、命令の解釈制御部分、入出力部分等と共に、CPUの最も重要な構成要素の一つとなっている。

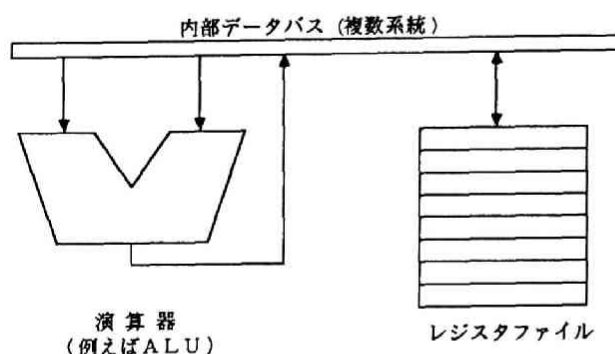
機能面からレジスタを分類すると、下記のようなになる。

第 4.2.1 表 CPU内の各種レジスタ

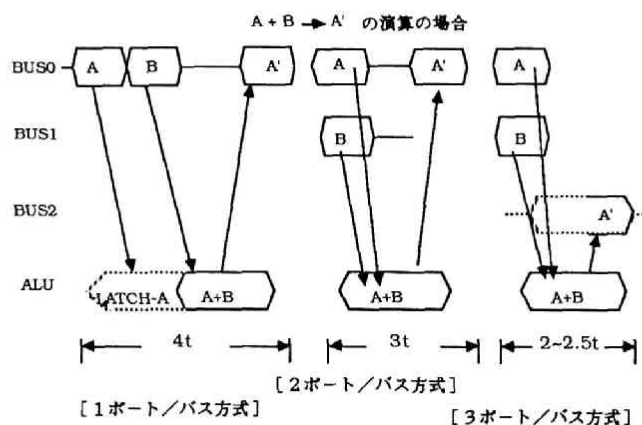
レジスタ	特殊レジスタ	命令レジスタ／マイクロ命令レジスタ プログラムカウンタ、スタックポインタ ステータスレジスタ／コントロールレジスタ
	一般レジスタ	アキミュレータ データレジスタ アドレスレジスタ／アドレスポインタ

これらの内、特殊レジスタは、各々の特殊な用途のために設けられており、ビット幅も一様でなく、CPUの命令によっても読み書きできないものもある。また、これらのレジスタ内の情報はビット単位で外部とやり取りされることも多く、しかもカウンタ機能が付加されているものもある。従って、これら特殊レジスタは、フリップフロップやラッチ回路を使って構成されるのが普通である。

一方、一般レジスタは、第4.2.4図に示すように、演算器、内部バスとともにCPU内の情報処理ループ（いわゆるデータパス）を形成しており、ビット幅は一様で、通常プロセッサの公称ビット幅(8b, 16b, 32b, etc)と一致している。更に、データレジスタやアドレスレジスタは8～32ワード（場合によっては、128ワード以上）設けられ、ユーザが自由な目的に使えるような汎用性を持たせている。このデータレジスタやアドレスレジスタのように、一様な複数ワードレジスタの集合をレジスタファイルと呼んでいる。（以降、RgFと略記する。）



第4.2.4図 CPU内のデータパス構成



第4.2.5図 RgFを使った演算のタイムチャート

RgFは、このように多くのメモリビットから出来ているので、CPU内でこれを実現する場合は、通常SRAMと類似した回路構成にすることが多い。しかも、RgFは、内部バスを介して演算器と密着して動作し、多くの2オペランド演算：「 $R_0 + R_1 \rightarrow R_0$  etc.」や、3オペランド演算：

「 $R_0 + R_1 \rightarrow R_2$  etc.」を高速に実行するために、最低2ポートは必要とされていた。但し、 $R_i$  ( $i=0,1,2$ ) はRgF内の任意のワードである。第4.2.5図に、RgFが1ポートの場合、2ポートの場合、3ポートの場合の各々のプロセッサの操作タイムチャートを示す。

次に、RgFの具体的な設計とその動作解析について記述する。

#### 4.2.3 NMOS(Nch E/D-MOS)回路を使ったRgFの設計と動作解析(1)

ここでは、16bMPU[4.6][4.7]中のRgFについて説明する。

このMPUはパイプライン動作をしており、この中でRgF自身も、読み出し・書き込みの動作に各々、2マイクロサイクル(1マイクロサイクルは1/4マシンサイクルで、62.5nsec)かけてパイプライン動作をするように設計されている。

まず、このRgFが行うべき動作を周辺のブロックの動作と合わせて説明する。

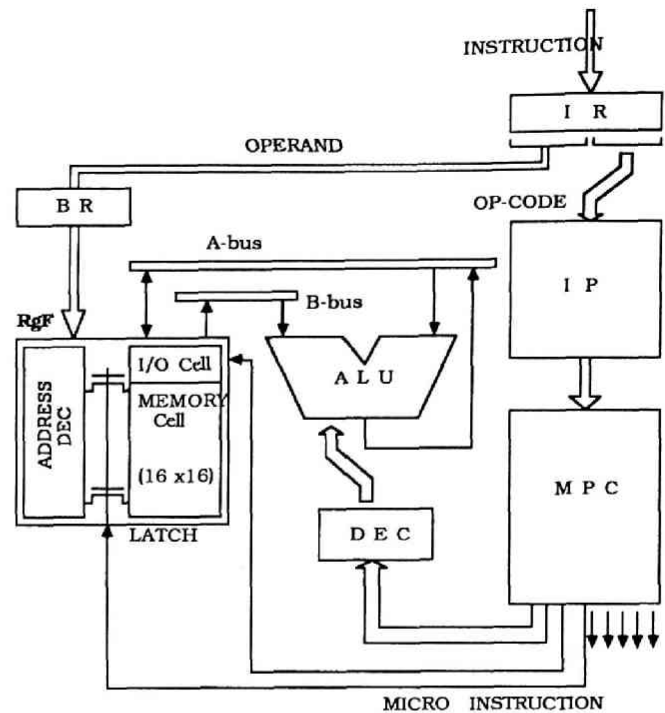
第4.2.6図に、RgFとその周辺ブロックの構成、およびブロック間の信号の流れを図示する。この図では、特に、MPUの実行命令の中で最も基本となるレジスタ・レジスタ間の演算(R-R演算)実行の場合について示している。命令の実行は、まず、命令レジスタ(IR)に命令コードが入力されて開始される。命令コードのビットはオペコードフィールド(op-code field)とオペランドフィールド(operand field)に分割される。オペランドの内容は、実はレジスタ番号であって、この部分はバッファレジスタ(BR)を経て、RgFのアドレスデコーダ部に転送される。BRでは、オペランドは1マシンサイクル分の時間だけ待機状態になり、別ルートで転送されるオペコードと実行時点でタイミングが合うように設定されている。オペコード部分は、命令解読ブロック(IP; Interpreting Processor)を経て、マイクロ命令生成部(MPC; Micro-Program Controller)でマイクロ命令に変換される。RgF等の特殊なブロックに対しては、このマイクロ命令の一部のフィールドがそのまま制御信号として供給されている。マイクロ命令の残りのフィールドは、更に次のデコーダ部(DEC)に転送され、他の多くのブロックを直接制御する制御信号に分解される。

オペコードがIPに入力されてからMPCから出力されるまでの信号伝搬時間は、1.25マシンサイクル(即ち、5マイクロサイクル)であり、前述のオペランド信号に比べ1/4マシンサイクル遅れてRgFに到達することになる。また、DECから出力されるまでには、更に1/4マシンサイクルを要する。

前述のとおり、このRgFは2ポートのRAMであり、AポートはAバスに対して入出力が可能



(I/Oポート)、BポートはBバスに対して出力のみが可能(Oポート)である。内部の構成は、アドレスデコーダ(デコードしたワード信号を、一旦ダイナミックに保持できるラッチゲート付き)、16b×16ワードのメモリセル行列および、16bのI/Oセル(各データビット線(DBL;Data Bit Line)の電位を検出するセンスアンプ、ビット線ドライバと内部データバスA、Bを駆動する回路等を含む)からなる。



第4.2.6図 RgFと周辺ブロック図  
および信号の流れ

次に、RgF、内部データバスA、B、およびALUから成るこのプロセッサのメインデータバスについて、その動作を詳細に検討する。

第4.2.7図に、各信号のタイミングチャートを示す。1マシンサイクルを、P<sub>1</sub>、P<sub>2</sub>、P<sub>3</sub>、P<sub>4</sub>の4マイクロサイクルに分解し、各マイクロサイクルでの動作を記述すると下記のようになる。

<P<sub>1</sub>>MPCからの制御信号がRgFに到達し、アドレスデコーダのラッチゲートが開き、既に直前のマイクロサイクル(P<sub>4</sub>)でデコードされていた新しいアドレスに対応するワード線(AWL)が高電位へ駆動され始める。同時に古いアドレスの電位は低電位に戻される。Aポート、Bポート各々独立にアクセスされたワードのデータは、このマイクロサイクルの内に、別々のDBLとセンスアンプを通して16b並列に、AバスとBバスの出力部まで転送される。

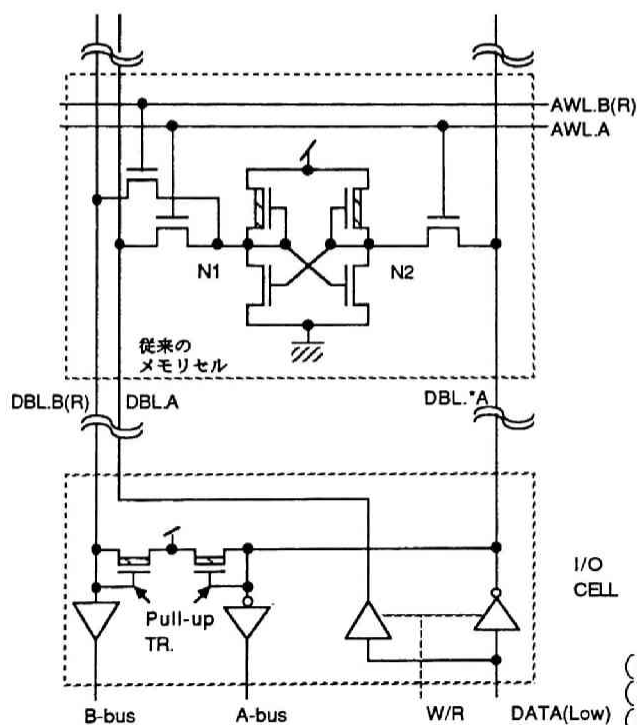
<P<sub>2</sub>>データが各ポート(I/Oセル)からA、B両方のデータバスに出力され、ALUに転送される。一方、ALU側では、このマイクロサイクルの最初にDECから来る制御信号により実行すべき演算の種類を認識し、その準備を整えて、データの到着とともに演算を開始する。

<P<sub>3</sub>>ALU内で、演算の実行が完了する。

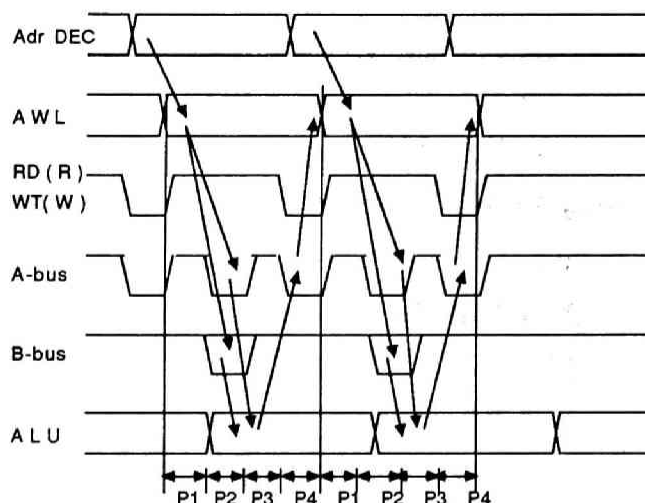
<P<sub>4</sub>>演算結果のデータがALUから出力され、Aバスを通過してRgFのAポートに転送され、読み出されたのと同じワードに書き込みがされる。また、この時、アドレスデコーダでは、次にアクセスすべきワードのアドレスが入力され、デコード動作が開始される。

このプロセッサの内部データバスは、  
 $P_1, P_3$  で高電位にプリチャージされ、  
 $P_2, P_4$  でデータの転送が可能である。  
 データバスへの出力はオープンドレインの  
 N-ch MOSFET で行われ、データが1/0の  
 時、バスの電位は各々、低電位/高電位と  
 なる。データの実効的な転送時間は  
 20 nsec程度で、1/2マイクロサイクル以  
 内の時間で完全に転送が終了する。

さて、ここで述べた動作を完全を実現す  
 するには、従来のSRAMを単純に延長した  
 形の2ポートRAM（第4.2.8図）では、  
 実は、不十分である。このことは第4.2.9図  
 の計算機シミュレーションによるメモリ内  
 部の電位波形結果によって示される。

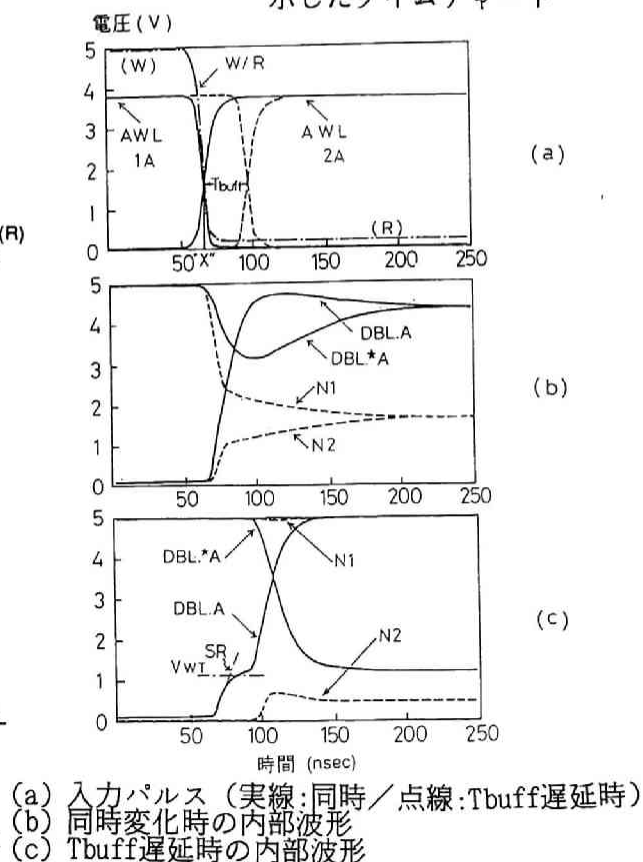


第4.2.8図 従来形の2ポート  
メモリセルとI/Oセル



（直前のサイクルでデコードされたワードアドレス  
 がレジスタアクセス時に使われる）

第4.2.7図 R-R演算時のデータ転送を  
示したタイムチャート



第4.2.9図 従来形の2ポートメモリの  
誤動作のシミュレーション波形

同図 (a) は、ワード線への入力波形を二種類示している。(但し、この章では、論理反転記号 “ $\neg$ ” の代わりに “\*” を使用する。) 時刻 “X” でメモリが書き込み (W) から読み出し (R) にモードが変わるのに対して、実線の波形は時刻 “X” で同時にワードアドレスも変化している場合であり、他方、点線の波形は、微小な時間  $T_{buff}$  だけ間をあけてワードアドレスが変化している場合である。これらの各々に対して、DBLの電位と、メモリセルの内部ノード  $N_1$ 、 $N_2$  の電位を (b)、(c) に示している。このプロセッサ内の動作と対応付ければ、時刻 “X” は、 $P_4$  から  $P_1$  への遷移点である。本来、メモリは読み出しモードにあるので、メモリセル内の状態は保持され、DBLにはこの内部状態を反映した電位が現れなければならない。(c) は  $T_{buff}$  がある場合であり、ノード  $N_2$  の電位は少し上昇しかけるが正常な電位にもどり、DBLにも正しい電位が出力される。これに対して、(b) は  $T_{buff}$  がない場合で、一対の内部ノード、一対のDBLの各々の電位がある程度時間が経過すると同一になっており、明らかに読み出し時の誤動作が発生している。

この誤動作の原因は、次の様に考えられる。 $P_4$  時点での書き込み動作で、DBLの内的一本がGND電位にまで下がっており、これがプルアップのFET (Dtype NMOS) によってある閾値の電位  $V_{WT}$  にまで引き上げられないうちに、続けて  $P_1$  での読み出し動作が開始される。新しいメモリセルのゲートが開いた時点は、むしろ書き込み動作に近い状態が実現されており、誤動作が発生する。

従って、この誤動作を回避するための第一の方法は、既に (c) で示しているように、書き込み動作と読み出し動作の間に緩衝時間  $T_{buff}$  を設けることである。実際に、通常のSRAMでも、書き込み動作直後の読み出し動作に対しては、そういう使い方を禁止するか、もしくは内部的に  $T_{buff}$  に相当する時間を設けるように構成している。

$T_{buff}$  の最小値  $T_{min}$  は、下記のような式を満足する必要がある。

$$T_{min} = (V_{WT} - V_{DBL-WT}) / SR$$

但し、 $V_{DBL-WT}$  は書き込み動作時点のDBL “0” の電位、SRはプルアップFETがDBLの電位を引き上げる時のスルーレートであり、プルアップFETのオン抵抗とDBLの浮遊容量によって決まる。

実際の素子特性から計算すると、 $T_{min}$  は 25 nsec 程度になるが、もしもこれを組み込んでMPUの動作全体を考えるとすれば、方法は次の二種類である。

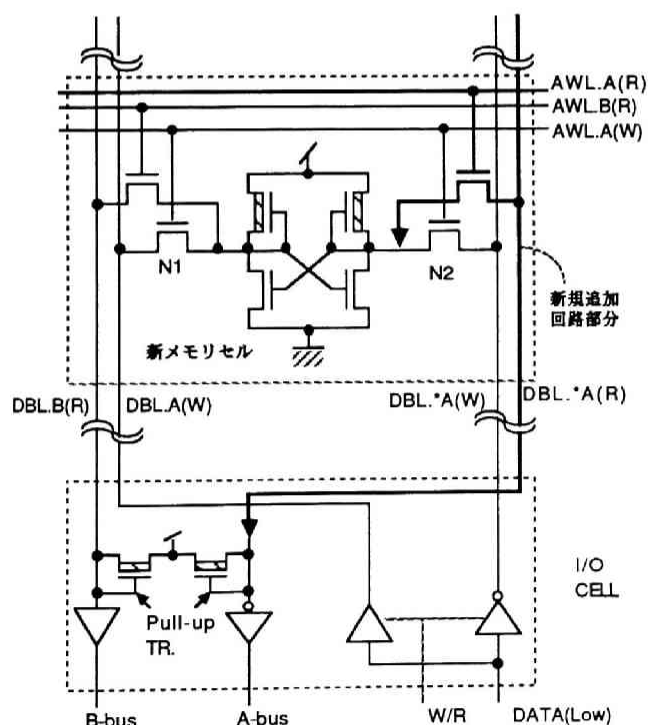
- (1) マイクロサイクルの時間を当初の 62.5nsec から 87.5nsec にして、 $T_{buff}$  の時間を確保する。
- (2) マシンサイクルを5マイクロサイクル構成にして、 $P_4$  と  $P_1$  の間に  $P_5$  を設けて、これを  $T_{buff}$  として使う。この結果、プロセッサの速度は 25 % 遅くなる。

従って、これらの何れを採用するにせよ、プロセッサの性能は劣化するので好ましくない。ここでは、RgFを2ポート構成から3ポート構成に変えたものを設計し、新RgFとしてMPU内で使用する。新RgFには、2本の出力専用ポートと1本の入力専用ポートが設けられており、入出力は構造的に分離されている。

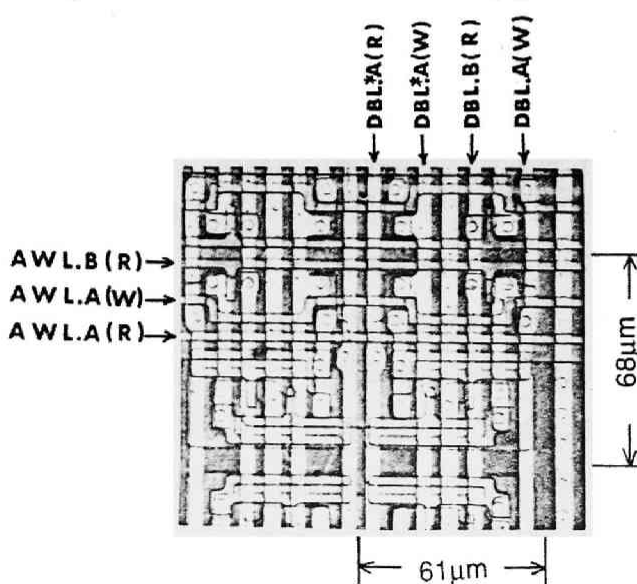
次に、この新RgFの動作について述べる。

#### 4.2.4 NMOS (Nch E/D-MOS) 回路を使ったRgFの設計と動作解析(2)

第4.2.10図に、新RgFのメモリセルと主要な部分の構成図を示す。従来のRgFで入力用として使用していたDBL対は書き込み専用とし、新に、読み出し専用のDBLを1本設ける。対応するI/Oセル側も、読み出しDBLにはセンスアンプとプルアップFETを接続し、書き込みDBLには駆動回路を接続する。第4.2.11図にこのメモリセルの顕微鏡写真を示す。セルの大きさは、 $61 \times 68 \mu\text{m}^2$ で従来の2ポート構造のものと比べると、約30%の面積増になる。この場合、読み出しDBLと書き込みDBLが分離されており、しかも、読み出し専用DBLの電位は、“0”を読み出した場合でも、“0”書き込みの閾値電位 $V_{WT}$ より低電位にならないため、前述の読み出し時の誤動作が発生しない。このことを、計算機シミュレーションと素子の動作時の波形観測によって確認

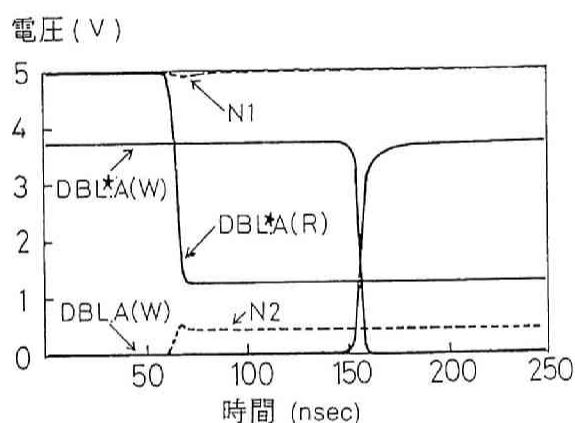


第 4.2.10 図 新RgFのメモリセルと主要部分の構成図

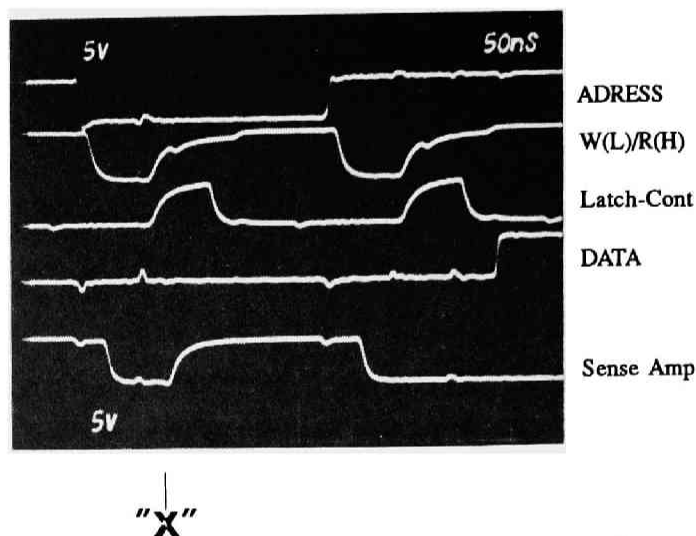


第4.2.11図 メモリセルの顕微鏡写真

したものが、第4.2.12図 (a) , (b) である。同図 (b) の“X”は前述のワードアドレスの変化と書き込み動作から読み出し動作への変化が同時に起こるクリティカルな時刻であるが、センスアンプの出力波形は“X”から 20nsec 以下で低電位から高電位へと変化していることが分かる。



(a) 計算機シミュレーション



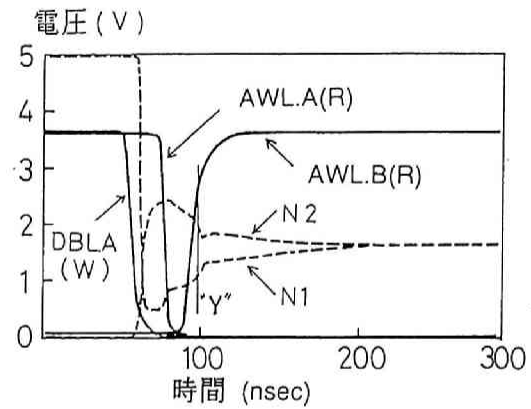
(b) 実測波形

第4.2.12図 新RgFの動作波形

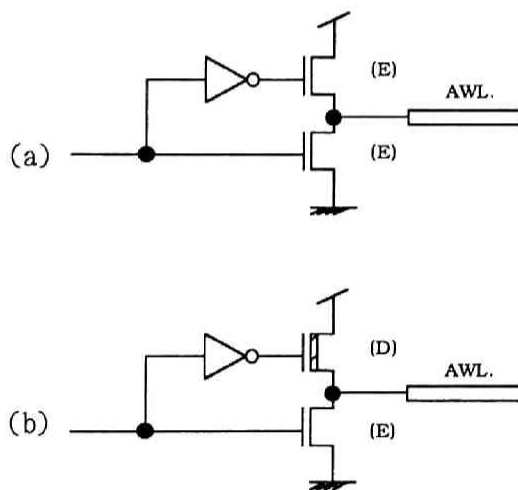
新構成のRgFによって、従来の読み出し時の誤動作は解消されたが、この形のマルチポートメモリにはもう一つの問題点がある。これは書き込み動作時の次のような場合に発生する。即ち、このメモリセルにDBLから“0”を書き込む時に、書き込み時間 $T_{WT}$ が十分に長くなく、しかも、電源電圧 $V_{DD}$ も幾分低下していると、次の連続したマイクロサイクルで同じ側の読み出し専用DBLから直前に書き込まれているはずの“0”を読み出すと“1”が読み出されるという誤動作である。この動作波形の計算機シミュレーション結果を示したものが第4.2.13図である。同図中、書き込み動作が始まってから約 20 nsec 程度しか経過しておらず、まだメモリセル内の状態が安定していない時刻“Y”で、読み出し動作が始まっており、読み出し専用DBLの高電位がセル内の電位を上げる働きをして、結局“1”を読み出すというメカニズムが誤動作の原因と考えられる。

従って、この誤動作を解消するには、書き込みをより完全に実行すればよいが、これには二つの方法がある。

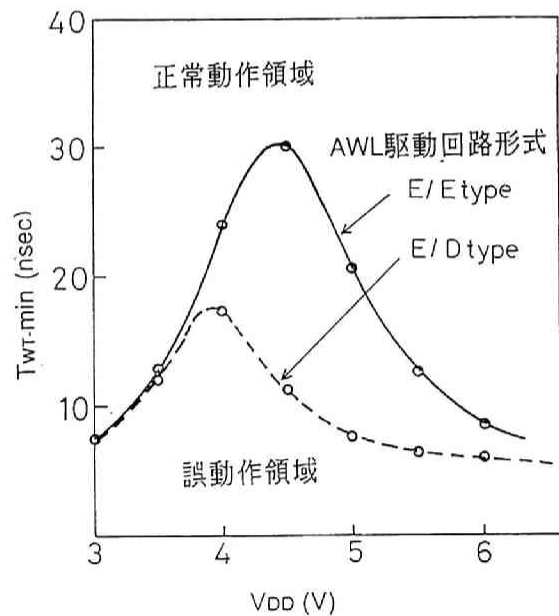
第一は、書き込み時間 $T_{WT}$ を長くとることである。しかし、前述の読み出し時誤動作の場合と同様に、この方法はプロセッサの性能を劣化させるものであり、好ましくない。第二は、書き込み時のメモセルのAWL電位を高くすることである。NMOS-E/D形のICの場合、重い負荷を駆動する回路として、電力消費を抑えるために、第4.2.14図(a)の様な、E/E形バッファを使用するが、この場合、低電力よりも高速性が要求されるため、同図(b)の様なE/D形バッファを[4.8]採用する。各々のバッファを使った場合、正常書き込み動作を実行できるために必要な最小 $T_{WT}$ の測定結果を第4.2.15図に示す。



第4.2.13図 書き込み誤動作時の波形の計算機シミュレーション結果 ( $V_{DD}=4.5V$ )



第4.2.14図(a)E/E形バッファ (b)E/D形バッファ



第4.2.15図  $T_{WT}-V_{DD}$ 依存性の測定値

この図から明かな様に、E/D形バッファを使用した場合、最悪の条件( $V_{DD}=4$ )でも、 $T_{WT}$ は20 nsec以下でよく、このMPU中のRgF動作としては十分な速度が得られていることがわかる。

ところで、第4.2.15図から、正常動作をする最小 $T_{WT}$ の $V_{DD}$ 依存特性は、E/E 形、E/D 形とも或る電源電圧でピークを持つ特異な形状をしている。これは、 $V_{DD}$ の増減に対して相反する二つの効果が組み合わされて生じたものと考えられる。即ち、

- (1) 書き込み動作を終了した直後のメモリセル内状態の安定性は $V_{DD}$ が高くなるほど大きくなる
- (2) 読み出し時にメモリセル内に印加される好ましくないトリガのエネルギーは $V_{DD}$ が低くなるほど小さく、それだけセル内の状態に対する擾乱が減少する。

例えば、E/E 形では、 $V_{DD} < 4.5\text{v}$  で (2) の効果が顕著であり、 $V_{DD} > 4.5\text{v}$  で (1) の効果が顕著であると考えられる。

RgFに対する以上の二種類の改良によって、読み出し動作時および書き込み動作時の誤動作を解消し、当初の目標値である、1マシンサイクルが4マイクロサイクルで、1マイクロサイクルが62.5 nsec のMPUを実現することができた。

次節では、このプロセッサの全体的な特性について簡単に記述する。

#### 4. 3 レジスタファイルを持つ16bMPUの特性

前節で述べた新構成のRgFを使って新しく16bMPUを開発した。この節では、主にこのプロセッサについて記述するが、その前にMPUの性能向上の一般的な問題点について概観する。

##### 4. 3. 1 MPUの性能について

マイクロコンピュータ或いはMPUは、1970年頃の黎明期では、複雑な論理回路を含むICを用途に応じて毎回設計開発する代わりに、プログラムを用いて各用途に適應できるものにする、という発想で開発が行われた。しかし現在では、16b以上のMPUを中心として、このような論理回路の置き換えというよりも、コンピュータシステムのCPUとしての使われ方が増加している。従って、その設計や性能評価も大型計算機のCPUと同様の基準で行う必要がある。

CPUの性能等を議論する場合に、問題となる項目を分類すると、先ず大きく「ソフトウェアの問題」と「ハードウェアの問題」に分かれる。

この内、前者については、本論文の扱う範疇を大きく超えたものなので、ここでは詳しく議論し



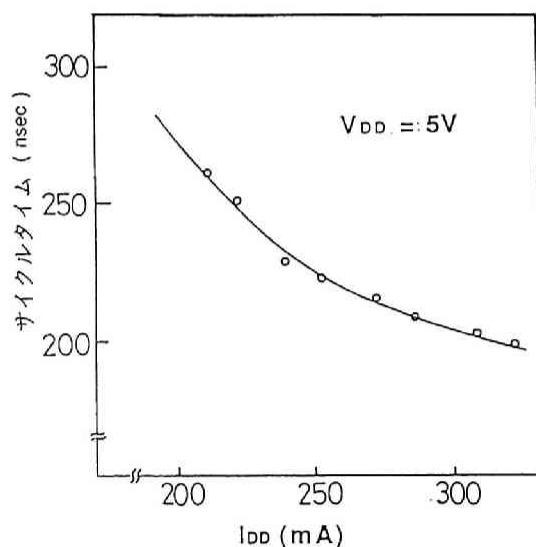
ないが、一言で言えば、それは「使う立場にたって、CPUにどのような機能をインプリメントすべきかを考えること」である。具体的には、過去に蓄積された数多くのソフトウェア資産に対して問題にしているCPUはコンパティブルにするか否か、また、現在や将来の予想されるユーザからの要望に対してどの程度応えた仕様にするか、等々である。

一方、ハードウェアの問題は結局、「CPUに必要とされる機能を如何に高速に実現するか」ということに帰着する。高速性を確保するための手段として、現在議論されている要素のなかでは、次の四種類が重要である。

#### (1) プロセッサの基本処理時間の短縮

これは、デバイスそのものの速度（即ち、デバイステクノロジー）および、回路技術や構成法によってほぼ決定される。デバイステクノロジーに関しては、例えば、MOS-ICにおけるデザインルールで、 $3\mu\text{m}$ ルールのもものと $2\mu\text{m}$ ルールのもものを比べると、後者の方が1.5～2倍高速である。（殆ど同一の内部構成で16bMPUを $3\mu\text{mNMOS}$  [4.7] と $2\mu\text{mCMOS}$  [4.9] で開発したが、後者の最悪条件におけるクロック周波数は(20MHz)は前者の(13.3MHz) 1.5倍であった。) また、消費電力は多くなるが、速度だけを問題にする場合はMOS-ICよりもECL (Emitter Coupled Logic)-ICの方が数倍高速である。更に、近い将来の有力候補としてGaAs-ICも挙げられる。また、同一のNMOS技術でも、余分に電力を消費させればより高速の動作をする。（第4.3.1図参照）

デバイステクノロジーの選択は、その用途に応じて、速度、コスト、消費電力と集積度等の項目にどのようなウェイト付けをするかによって決ってくる。一方、回路技術や構成法に関しては、ALUや乗算器等の演算回路（例えば、キャリー伝搬回路の工夫やダイナミック回路の活用）とレジスタファイル等の記憶部分に対する高速化（センスアンプ等）の改良がよく行われる。また、回路中のクリティカルパスに余分の電力を消費させ高速化する方式と、設計の効率化を考え、どのゲートもほぼ同



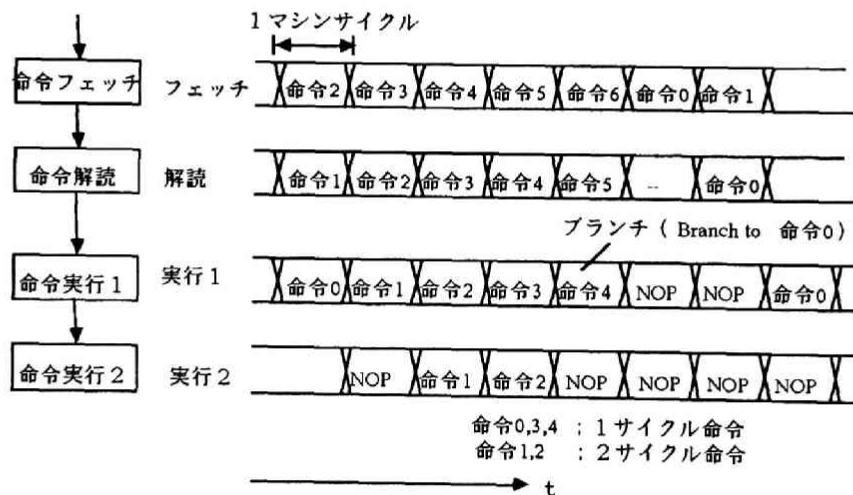
第4.3.1図 消費電力が変化した場合のMPUの動作速度（ $3\mu\text{mNMOS}$ ）



一のゲート遅延を与えるように回路設計を進める方式がある [4.10]。

## (2) プロセッサ内のパイプライン構成やブランチの取り扱い効率化

M P Uの基本動作は、命令のフェッチ、命令の解読、命令の実行からなっており、しかも、これらは各々独立なハードウェアによって処理されるので、その有効利用を考えれば、最低3段、通常4段以上のパイプライン動作が必要になる。(第4.3.2図参照) どの処理を何段のパイプライン構成にするかというのは、C P Uアーキテクチャ設計の最も重要なプロセスの一つである。前節で述べたR g Fでは、アドレスデコーダとワード線A W Lの駆動回路の間にラッチを挿入することで2段のパイプラインとしている。データバスに出力する以前にアドレスのデコードは終わっているため、実際は2マイクロサイクルかかるアクセスが、実効的に1マイクロサイクルで終了したのと同等になり、高速処理が実現できたことになる。パイプライン処理で、もう一つ問題となるのはブランチ(ジャンプ)命令である。これについては、次節でもう少し詳しく述べる。



第4.3.2図 パイプライン処理の構成タイムチャートの例

## (3) プロセッサ内と外部メモリとの間のI/Oボトルネックの解消

プロセッサと外部メモリとの情報のやり取りは16bや32bのバスを介して行われる。やり

取りされる情報の中には、データの入出力と命令の入力の二種類があるためバスは非常に混雑し、このバスでの情報の流れる速度がプロセッサ全体の処理速度を決定する場合が多く、いわゆる、「フォン・ノイマンのボトルネック」を形成している。これを解消する基本的な方法は、メモリアクセスの時間を短縮することである。このために最も一般的に行われているのがメモリシステムの階層化である。これについては次章でも述べるが、特に重要なものはキャッシュであり、その中でも、プロセッサチップ I/O ボトルネックの内側にあるオンチップキャッシュは高速化に対して極めて効果的である。もう一つの方法として、プログラムとデータの出入口を分離するという方法がある。いわゆる、「ハーバードアーキテクチャ」と呼ばれているもので、I/O 部分の混雑は約半分に減少する。しかし、ポート数が 2 倍になることと、プログラム用とデータ用に別々のメモリブロックを用意する必要がある等の欠点もある。

#### (4) マルチプロセッシングによる高速化

いわゆる、並列処理の思想を活かしたもので、多くのプロセッサに仕事を分担させて、全体として高速に処理する方法である。制御の方法がかなり高度であり、しかもプロセッサの価格も高価であったため、1980年代の始めでは例が少なかったが、近年 VLSI 技術の発展に伴い、高性能で安価なプロセッサチップが入手可能になっており、マルチプロセッシング方式の採用が急激に増加している。又、将来的にみても、パイプライン方式による性能向上限界を超えるものとして、有望視されている。この方法の詳細については、本論文の扱う範疇をこえるので、これ以上述べない。

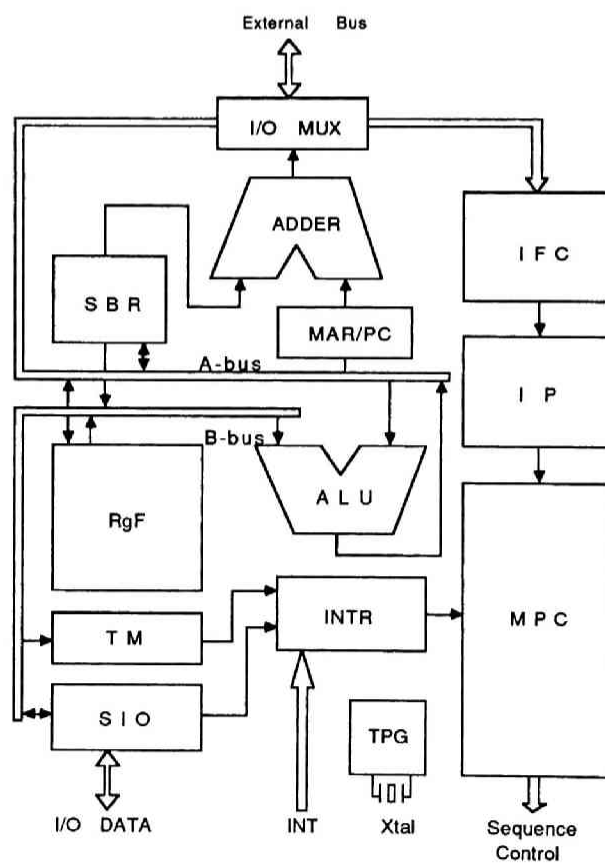
次に、開発した 16bMPU の全体構成と諸特性について述べる。

#### 4.3.2 16bMPU の全体構成と諸特性

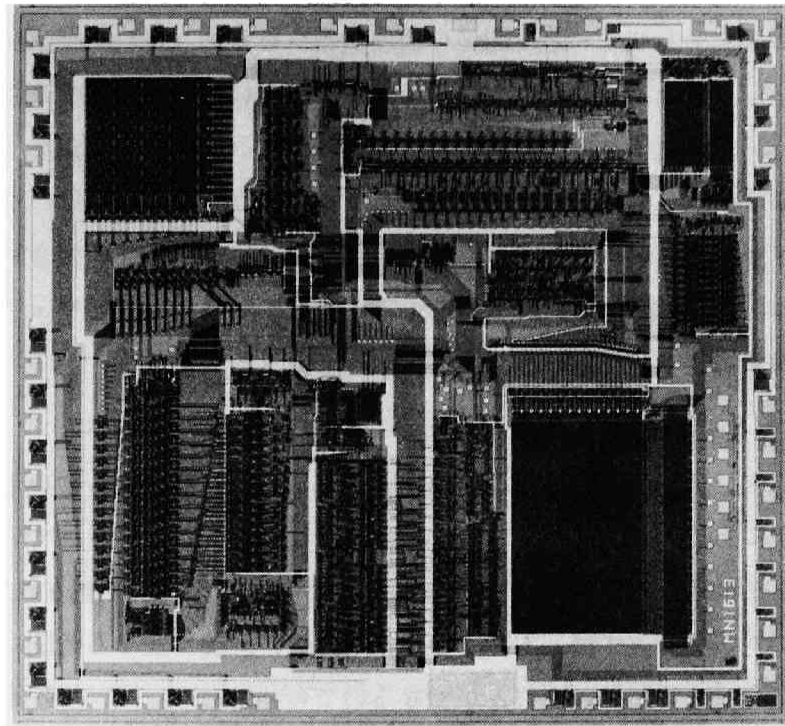
新しく開発した 16b マイクロプロセッサの全体のブロック図とチップ写真を、各々、第4.3.3図および第4.3.4図に示す。LSI チップは、3 $\mu$ m ルールの N-チャネル E/D-MOS 技術によって製造された。MOSFET の実効チャネル長は 2.4 $\mu$ m、ゲート酸化膜厚は 60nm である。チップの寸法は 6.6 $\times$ 7.0mm<sup>2</sup> で内部に約 40,000 素子を集積化している。その他の諸元も含めて第4.3.1表にまとめて示す。マシンサイクル 250nsec は、3 $\mu$ m の設計ルールという基準で評価するとかなり高速であるが、これは主に前節で述べたプロセッサのパイプラインアーキテクチャによって実現されている。

第4.3.1表 16bMPUの諸元

項 目	数 値
トランジスタ数	約40,000
チップサイズ	6.6×7.0mm <sup>2</sup>
プロセス技術	3μmNMOS(E/D)
電源電圧	5V
消費電力	1.4wtyp
パッケージ	40pDIL
ゲート遅延	2.5ns/ゲート
I/Oインターフェース	TTL
マシンサイクル	250ns
命令セット	97種類
アドレス空間	512KByte
汎用レジスタ(ユーザー)	5w×16bits



第4.3.3図 16bマイクロプロセッサの全体構成

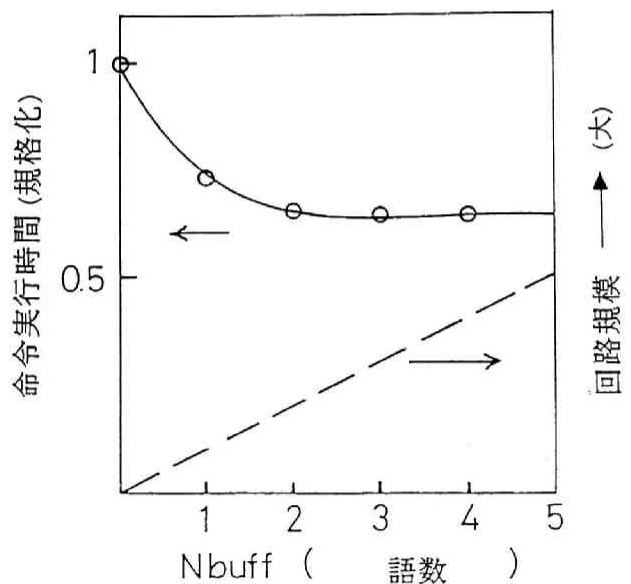


第4.3.4図 16b-マイクロプロセッサのチップ写真

本プロセッサでRgF以外の特征として、次の5項目が挙げられる。

(1) 命令フェッチ機構の最適化

命令のフェッチ動作についてもパイプライン処理を実現するため、命令の先読み（プリフェッチ）機構と、取り込んだ命令を一旦格納するためのバッファを設けている。（IFC; Instruction Fetch Controller）このバッファのワード数は、平均的なプログラムを実行する場合のプロセッサの処理速度とハードウェア量とのトレードオフで最適化する。バッファに空きがあり、しかもI/O MUX (I/O Multiplexer)がデータのI/O処理に占有されていない



第4.3.5図 平均命令実行時間とプリフェッチバッファワード数

い場合、I F Cブロックは常にフェッチ動作を開始する。第4.3.5図に、平均命令実行時間(Tex)とバッファのワード数の関係を図示する。もしも、プログラム中にブランチ命令が含まれないのなら、TexはNbuffの増加に従って単調に減少する筈であるが、現実のプログラム中には15~30%のブランチ命令が含まれており、読み込んでいた先の番地の命令をキャンセルすることになり、パイプライン動作を妨害する。こうした場合には、パイプライン動作は単に無益なだけでなく、データI/Oの動作を妨害している可能性が大きいので、かえって有害になる。Texの減少はNbuffが2の付近で飽和しており、ハードウェア量の方はNbuffに比例して増加するので、バッファの最適値として2ワードを選ぶ。

## (2) マイクロプログラム制御

このプロセッサでは、2階層のマイクロプログラム制御方式を使っている。第一のレベルはI Pブロックにあり、ここには20b × 70wのプログラムが格納されている。第二のレベルはM P Cブロックにあり、ここには27b × 700wのプログラムが格納されている。2階層構造のマイクロプログラミングは、1階層のものに比べ、解読に要する時間は増えるが、制御記憶部の面積を20~30%減らすことができるので有利である。又、解読時間の増加はパイプライン処理によってほぼ吸収できるのでさほど問題にはならない。

ここで使用しているマイクロプログラミングはいわゆる、縦型[4.11]に近いものであるため、各実行ブロックで通常のマイクロ命令を実行するには更に命令のデコードが必要になる。

## (3) 拡張アドレス

データI/Oや命令のフェッチにおいて行われるアドレッシング処理では、MAR (Memory Address Register) 或はP C (Program Counter) にある16bアドレスとS B R (Segment Base Register) にある18bベースアドレス(下位14ビットは0)[4.12]が加算され、拡張された18bアドレスで外部にメモリアクセスがなされる簡略化されたセグメント方式のメモリ管理を採用している。S B Rは4セグメントあり、これらをタスク(プロセス)によって使い分けることで、タスク管理を容易にすることができる。

## (4) 周辺機能の内蔵および割り込み

16bのタイマー: T M、8bのシリアルI/O: S I Oおよびクロック発振器: T P Gを内蔵している。また、I N T Rブロックで3レベルの非エンコード型割り込みをサポートしている。

このプロセッサの主要な命令とその実行時間を第4.3.2表に示す。この表から分かるように、浮動小数点演算を1命令で実行でき、しかも、前述の(4)にあるように、各種の周辺機能を内蔵している

ので、少ないLSIで構成する小規模のリアルタイム制御システム応用には非常に適した高性能プロセッサになっている。

第4.3.2表 プロセッサの主要命令とその実行時間

命 令	実行時間( $\mu$ sec)
レジスタ間加減算	0.25
16b 乗算	6.25
16b 除算	13.75
浮動小数点加減算	13.0-19.0
浮動小数点乗算	42.5-49.0
ロード/ストア	0.75

#### 4. 4 まとめ

この章では、マルチポートメモリの諸特性について、その最も重要な応用であるMPU内のレジスタファイル(RgF)を例にとって検討した。

マルチポートメモリには、通常のRAMの周辺に各種のI/O回路および制御回路を付加した周辺制御形と、メモリセル自体がマルチポート構造になっているイントリンシック形がある。前者は、各ポートに対して独立した高速のアクセスを行うことができないという欠点はあるが通常のRAMと同程度の記憶容量が実現できるために一部の画像処理機能を付加したVRAM(ビデオRAM)等に應用されており、最初に、この形のマルチポートメモリについて簡単に説明した。一方、イントリンシック形マルチポートメモリは集積度は低いが複数のポートから同時に高速のアクセスが可能なので、この特徴を活かして、マイクロプロセッサ内のレジスタファイル(RgF)等に使われるが、ここでも16bのMPUに使われているものを例にとって、その動作を詳しく解析した。

MPUは高速処理を実現するため、通常は複雑なパイプラインアーキテクチャを持っており、RgFもこの中に組み込まれている。従って、その動作モードも、読み出し、書き込み、アドレス変化などを頻繁に繰り返す変化の激しいもので、通常のRAMのメモリセルにワード線、ビット線、制御ゲートを追加した単純な構造では誤動作の恐れがある。実際に、このRgFではプロセッサの高速パイプライン動作を可能にするため、内部動作を解析し、その結果、つぎの構造を採用した。

(a) アドレスデコードからデータ出力までの時間(アドレスアクセス時間)を等価的に短縮するため、アドレスデコードとワード線ドライバの間にラッチ回路を設ける。これによって、アドレス

デコードの処理をパイプラインの前段に済ませ、ワード線の駆動からビット線のディスチャージ、センスアンプの出力までを等価的なアクセス時間とし、高速なマルチポートメモリを実現している。

(b) 読み出し専用ポートと読み出し書き込みポートの2ポート構造では、書き込み動作から読み出し動作に遷移するのとワードアドレスが変化するのが同時に起こると、誤動作が発生する。

(リードエラー) これを防ぐための新しい構成として、ここでは読み出し専用の2ポートと書き込み専用の1ポートを持つ3ポートメモリを採用した。書き込みと読み出しのポートを分離することにより、リードエラーが完全に解消された。

(c) 上の変化とは逆に、書き込み動作から読み出し動作に遷移し、しかも同一ワードがアクセスされた場合、十分に書き込み動作が完了しないことがあり、誤動作(ライトエラー)が発生する。この傾向は、特に電源電圧が下がった場合に顕著である。これを防ぐため、ワード線の駆動回路をE/E形からE/D形に替え、ワード線の駆動電位を高め、短い時間でも書き込み動作が完了できるようにした。つまり、この回路変更により、ライトエラーを解消することができた。

以上の新しい構成のRgFをプロセッサ内に採用することで、当初の設計どおりのパイプライン動作が実現でき、 $3\mu\text{mNMOS}$ プロセスを使い、マシンサイクル  $250\text{ nsec}$  という高速の16b MPUを開発することができた。

マルチポートメモリでも比較的ポート数の少ない例について解析したが、近年各種の応用に対して、よりポート数の多いメモリが要求されている。ポート数( $n$ )が多い場合、セル面積は $n^2$ のオーダーとなり、アクセス時間も少しづつ長くなるので、使用条件によっては全く別の形態が有利になることもあり得る。例えば、本章で述べたリードエラーが発生しない動作モードで、かつ書き込みは1ポートでよいような使用条件では、通常のRAMを $n$ 個並置し、書き込みは全RAMへ同時に行い、読み出しは各RAMから独立に行う構成としたほうが、面積的には小さくて済む。従って、新しくマルチポートメモリを設計開発する場合には、このようなマクロな形態の選択も重要である。

#### 第4章の参考文献

- [4.1] S. Ishimoto, A. Nagami, H. Watanabe, J. Kiyono, N. Hirakawa and Y. Okuyama "A 256K Dual-Port Memory," 1985 IEEE International Solid State Circuits Conference (ISSCC85) Dig. Tech. Papers pp.38-39 Feb., 1985
- [4.2] K. Ohta, H. Kawai, M. Fujii, S. Ueda, and Y. Furuta, "A 1Mb DRAM with 38MHz Serial I/O Ports," 1986 IEEE International Solid State Circuits Conference (ISSCC86) Dig. Tech. Papers pp.274-275, Feb., 1986
- [4.3] 森、八田、長谷川他「矩形領域アクセスを用いた 55nsec, 1.3Mb グラフィクス用画像メモリ」電子情報通信学会集積回路研究会資料 1989年6月
- [4.4] F. E. Barber, D. J. Eienberg, G. A. Ingram, M. S. Strauss, and T. R. Wik "A 2K $\times$ 9 Dual-Port Memory," 1985 IEEE International Solid State Circuits Conference (ISSCC85) Dig. Tech. Papers pp.44-45, Feb., 1985
- [4.5] 田中 謙「マルチポートメモリアーキテクチャ」第35回情報処理学会全国大会論文集 (I) pp.157-158, 1987
- [4.6] H. Kadota, S. Ozawa, K. Kawakami and E. Ichinohe, "A New Register File Structure for the High-Speed Microprocessor," IEEE J. Solid-State Circuit, vol. SC-17 No.5 pp.892-897, Oct., 1982
- [4.7] 廉田浩、山口聖司、小沢純雄、川上桂、一戸英輔「16ビット高速マイクロプロセッサ MN1613」 National Technical Report, vol.29 No.2 pp.112-120, 四月、1983.
- [4.8] (例えば) C. Mead and L. Conway, 'Introduction to VLSI Systems,' Addison Wesley Mass., p.21, 1980 (日本語訳本)
- [4.9] 神山 祐史、増田 雅司、出口 雅章、小沢 純雄「高速CMOS16ビットマイクロプロセッサ MN1617」 National Technical Report, vol.32 No.1 pp.28-33, Feb., 1986
- [4.10] 廉田 浩、西沢 貞次、一戸 英輔「高速マイクロプロセッサのレイアウト設計」昭和57年度電子通信学会総合全国大会 p.2-99
- [4.11] (例えば) J. P. Hayes, 'Computer Architecture and Organization,' McGraw-Hill N. Y., 1978.
- [4.12] (例えば) Hervey M. Deitel, 'An Introduction to Operating Systems,' Addison Wesley Mass., PP.195-203, 1984.



## 第5章 連想メモリ —分類、回路解析と応用—

### 5.1 はじめに

#### 5.1.1 連想メモリの定義と分類

現代の社会において、各種情報の効率的な整理や管理統合は極めて重要な課題の一つである。一方、人間は、「連想」を使って、重要な知的活動である知識の整理や統合、あるいは新しい概念の創造を行っている、と言われている。人間の「連想」を模倣した連想処理を使って情報の管理やパターン認識等の効率化を図るという考えは、古くから人工知能（AI）研究の一環として取り入れられている。[5.1][5.2] この場合の連想処理とは、事象Aの入力により、それと何等かの意味で関係付けられた事象B（但し、 $\{B\} \subseteq \{A\}$ ではない）を出力する処理であって、一般的に、事象Aと事象Bは全く独立であってもよく、事象Bは複数であってもよい。この処理は、次のような「処理要素」に分解される。

1. 事象Aの集合  $\{A\}$  を記憶する。
2. 事象Bの集合  $\{B\}$  を記憶する。
3.  $A \rightarrow B$  の変換テーブル  $\{A \rightarrow B\}$  をつくる。
4. 入力Aで  $\{A\}$  の記憶内容を検索する。
5. 一致がある場合  $\{A \rightarrow B\}$  をアクセスする。
6.  $\{B\}$  をアクセスし、Bを出力する。

各処理要素は汎用のコンピュータを使ってソフトウェア的に実行することもできるが、この中で、処理要素 4. は特に重要で処理時間もかなりかかるので、専用のハードウェアを作り、高速化するメリットは充分ある。連想メモリは、一般に上記のうち、最低、処理要素 1. と 4. の機能を持ち、しかも高速化のための「並列検索機構」を備えた素子で、英語では "Associative Memory" と呼ばれる場合もあるが、連想処理全体 (Associative Processing) [5.3][5.4] よりも狭い範囲に機能を限定するため、"Content-Addressable Memory, CAM" と呼ばれることが多い。本論文においても、この呼称：CAMを採用する。

並列検索機構の実現の仕方でCAMを分類すると、[5.2][5.5]

(a) ビットシリアル・ワードパラレル (BSWP) 形、

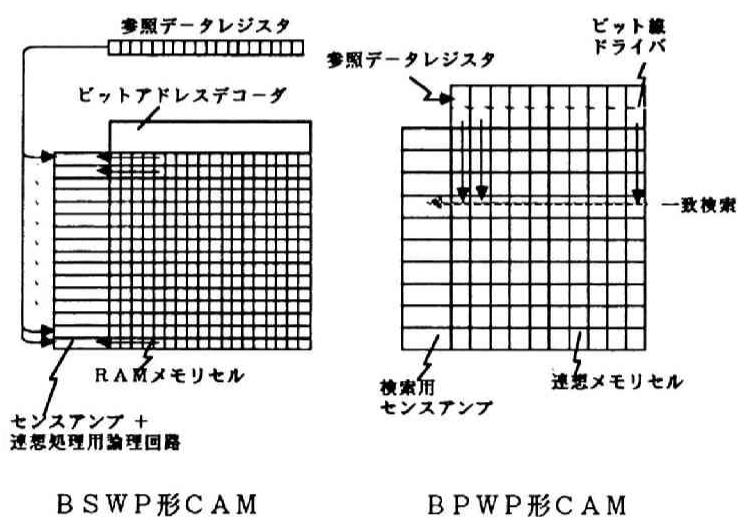
(b) ビットパラレル・ワードパラレル (BPWP) 形

がある。(ビットパラレル・ワードシリアル形は汎用コンピュータを使ってソフト的に処理する場合と本質的に変わらないので通常はCAMに含めない。) 第5.1.1図にこの2種類のCAMの概略を示す。

BSWP形は、各セルには記憶以外には複雑な機能を付加せずに(即ち、普通のメモリセルに他ならない。但し、連想プロセッサSTARAN[5.4]ではBSWP形の処理が行われているが、ここで使われている連想メモリはワード側とビット側の両方からアクセスできる、いわゆる直交メモリ[5.6]で通常のメモリセルよりは複雑である)、記憶されている複数のワード(通常、「記憶データ」と呼ぶ)の同一ビット位置の情報を同時に読み出し、各ワードに設けられた比較器を使って、順次入力ワード(通常、「参照データ」と呼ぶ)とビット毎に比較し、各ワード全体の一致・不一致を検出する。この種のものでは、過去にコアメモリやCCD、磁気バブル等を使ったものも提案されている。[5.7][5.8]

一方、BPWP形は、各セルに記憶以外に比較機能ももたせ、参照データの一度のアクセスで全記憶データの全ビットについて同時に比較を行い、一致検出を実行するものである。

従って、BSWP形CAMとBPWP形CAMを比較すると、参照入力から一致検出出力までのアクセス時間では前者が1桁以上遅いが、各セルが簡単であるため、前者の方が大容量のものを作り易いという利点がある。また、BSWP形では、各ワードに一つずつ設けられた比較器の箇所を別の論理回路に変更することで、一致検出以外の処理機能をもつ素子を比較的簡単に実現することもできる。



第5.1.1図 BSWP形CAMとBPWP形CAMの概略構成および動作

CAMハードウェアの研究開発の歴史は、1960年代の後半、即ち、中小規模の集積回路（SSI、MSI）が多く開発され始めた頃までさかのぼることができ、また当初より、CAMの開発では、二つの流れがあった。

第一のものは、この節の最初の部分で述べた様に、人間の連想機能を模倣して、広い意味の連想処理を実行することにより、情報の管理やパターン認識等の効率化を最終目的としている。従って、「ワード間の一致検出」以外の複雑な処理も必要な場合があり、またメモリの容量も大きい方が有効なため、処理速度を多少落としてでもこれらの要望を満たすことができたBSWP形CAMでの開発が進められた。[5.9][5.10]

第二のものは、計算機システム中で使用する高速アドレス変換器用のCAMで、一致検出の単目的でしかも高速性が極めて重要であるためBPWP形CAMでの開発がされた。この時から約20年を経た現在、LSI製造技術は長足の進歩を遂げ、BPWP形のCAMであってもある程度のメモリ容量と単純な一致検出以上の機能を持ち得るようになっている。[5.11],[5.12],[5.13]

### 5.1.2 本章の構成

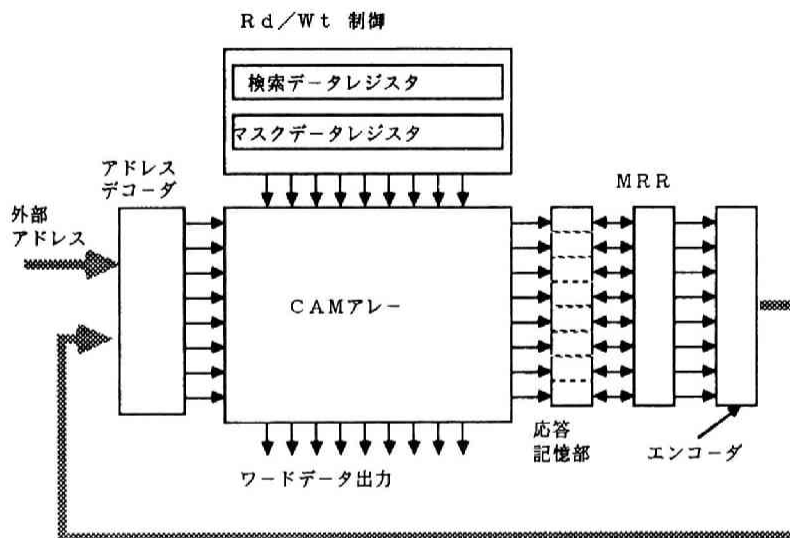
本章では、基本的にBPWP形CAMでしかも比較的大容量のものが得られるMOS-LSI形のもののみにについて解析する。まず5.2節では、CAMの各要素回路について代表的なものを示し動作を解析する。5.3節では、CAMの第1の応用例として、データフローコンピュータのマッチングユニット用に開発されたCAMについて記述する。5.4節では、CAMの第2の応用例として、32bマイクロプロセッサにオンチップ化された仮想記憶システム管理用TLBのCAM部分とLRU部分について記述する。最後に、5.5節では、この章のまとめを行う。

## 5.2 連想メモリ（CAM）の基本回路とその動作

本節ではBPWP形CAMの構成と主要な基本回路について記述する。実応用上有効な幾つかの回路や方式については、次節以降で記述する。

### 5.2.1 BPWP(ビットパラレル・ワードパラレル)形CAMの構成 [5.1][5.2]

典型的なCAMのブロック図を第5.2.1図に示す。



第5.2.1図 BPWP形CAMのブロック図

この中で最も基本的なブロックは次の4種類である。

#### (1)入力部

このブロックには、メモリセルに対して記憶データおよび参照データを適切なタイミングで供給するために必要な検索データレジスタと、マスクビットかどうかを示すマスクデータレジスタが設けられている。但し、マスクビットとは、一致不一致を問題にしない“Don't-Care Bit”であり、CAMの動作を表す論理式は次のようになる。(この章では、信号の論理反転に対して通常の“ $\neg$ ”の代わりに“ $*$ ”を使用する。)

$$\text{CAMout}(j) = \prod_i \{S_{ij} \cdot R_i + *S_{ij} \cdot *R_i + M_i\} \quad (5.1)$$

但し、CAMout(j) j番目のワードのCAM出力

$S_{ij}, *S_{ij}$  各々、j番目のワードiビット目の記憶データとその反転

$R_i, *R_i$  各々、iビット目の参照データとその反転

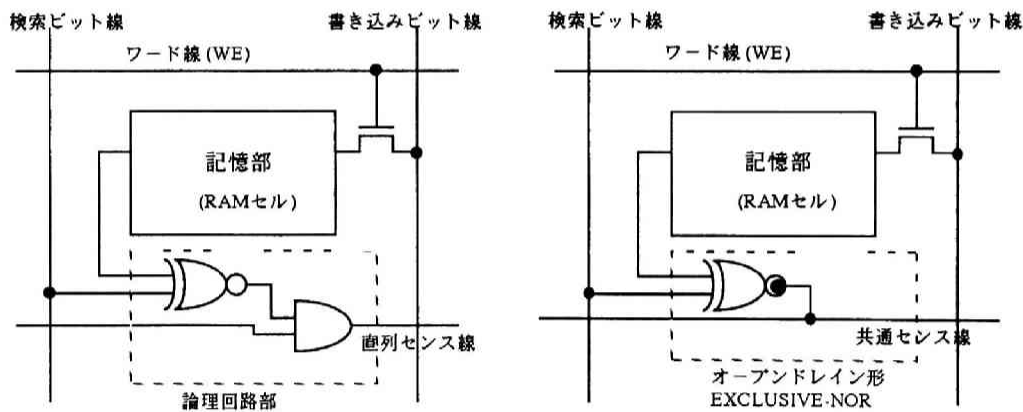
$M_i$  iビット目のマスクデータ

#### (2)アドレスデコーダ

検索動作を開始する以前に記憶データを格納しておくためのアドレス指定用である。普通のメモリのアドレスデコーダと同一である。

### (3) メモリセル

メモリセルは通常のRAMと同様な記憶部分と、一致検出用の排他的論理和回路からなる。記憶部分はDRAM形のもの、SRAM形のものがあるが応答速度やリフレッシュが不要な点でSRAMの方が勝っている。(セル面積としては、DRAM形の方が小さいが、通常のDRAMとSRAM程の違いはない。)一致検出部は各ビットごとに通常の排他的論理和回路を設けて、参照データと記憶データを比較し、この結果を1ワード内で直列的(リップルの)に全ビットの論理積をとる形のもの[5.14]、一本の共通センス線を設け、これをプルアップまたはプリチャージしておき1ワード中で不一致ビットが1ビットでもあれば、このセンス線の電位を引き下げて不一致ワードの検出を行う形とがある。[5.12][5.13][5.15] 速度や回路の簡単さを比較すると後者の方が勝っているが、前者では排他的論理和以外の回路を組み込むことが出来るので一致不一致以外のもう少し複雑な機能を持たせることができるという利点もある。典型的なCAMセルの回路図例を第5.2.2図に示す。



リップル論理形CAMのメモリセル

共通センス線形CAMのメモリセル

第5.2.2図 CAMセルの回路図例

### (4) 一致検出部

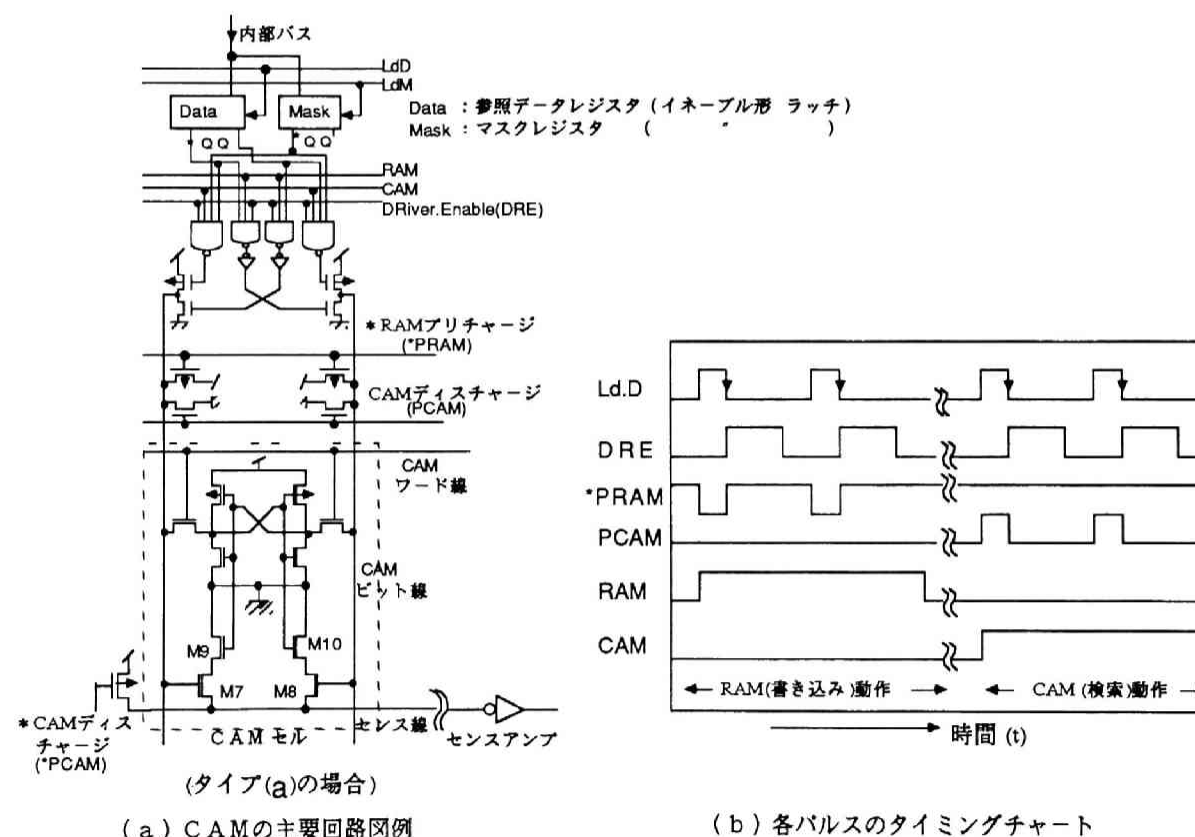
一致検出回路としては直列論理形のCAMでは通常の論理回路で問題ないが、共通センス線を持つ形のは通常のRAMと同様なセンスアンプが必要である。これによって一致不一致の検

出は高速化される。

以上の4ブロックとこれらの制御回路でCAMの必要最小限度の動作は可能であるが、これ以外に、記憶データをチェックするためのビット線用センスアンプ、一致が検出されたワードのアドレスを出力するアドレスエンコーダ、更に複数のワードで一致が検出された場合にも順次指定された数だけエンコードアドレスを出力できるプライオリティアドレスエンコーダ（CAMの場合、複数のレスポンスを分解して出力するという意味でMultiple Response Resolver, MRRと呼ばれることが多い。）等も重要な要素ブロックであるが、これらのうちMRRについては次節で検討する。

### 5.2.2 BPWP形CAMの動作

SRAM形CAMの動作を、第5.2.3図の例を使って説明する。



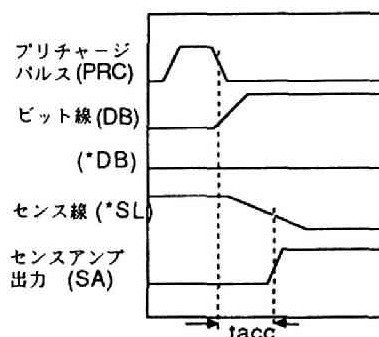
第5.2.3図 CAMの主要回路図例と各入力パルスのタイミングチャート

### (1)記憶データ書き込み動作 (RAM)

通常のSRAMと同様である。即ち、入力部にあるビット線ドライバは、データレジスタに格納された値に対応して一对のビット線を相補的な電位で駆動し、アドレスデコータで選択されたワード線をON電位にして、各メモリセルにデータを書き込む。第5.2.3図の駆動回路では、ビット線の「ハイレベルの書き込み動作」は前段階のプリチャージ時のハイレベルを保持することで実現しており、「ロウレベル書き込み動作」のみNMOSによるビット線のディスチャージで実現している。

### (2)一致検出動作 (CAM)

記憶データ書き込み時と同様にデータレジスタの値に応じて各ビット線対は駆動されるが、ワード線は総てOFF電位なので書き込み動作はない。このビット線対の電位でMOSFET  $M_7$  または  $M_8$  がONになる。また、メモリセル中に記憶されているデータ値によって、MOSFET  $M_9$  または  $M_{10}$  がONになる。参照データと記憶データが同一の場合、直列接続回路要素の  $\{M_7, M_9\}$  および  $\{M_8, M_{10}\}$  各ペアの一つのMOSFETが必ずoff状態になるため、共通センス線の電位は変わらない。しかし、参照データと記憶



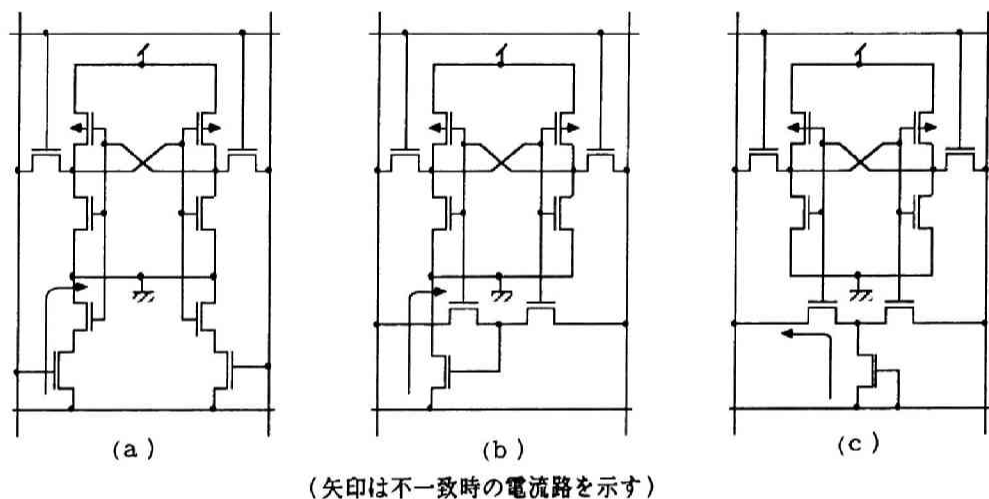
第5.2.4図 一致検索動作中の各部の波形  
(不一致の場合)

データが異なる場合、直列接続回路要素の  $\{M_7, M_9\}$ 、或いは  $\{M_8, M_{10}\}$  の一方のペアの二つのMOSFETがONとなり、この直列接続回路を介してグラウンドに電流が流れるため、当初、プリチャージまたはプルアップされ電源電圧 (例えば、 $V_{DD}=5V$ ) に設定されている共通センス線の電位は、0Vに引き下げられる。つまり、1ワード中に1箇所でも不一致ビットがあれば、そのワードの共通センス線は0Vになる。各ワードの端にある一致検出回路は、この共通センス線の電位変化を速やかに検出し、増幅して出力する。この一連の動作で不一致の場合の各部波形を第5.2.4図に示す。また、マスクビットの場合のビット線対は相補的な電位駆動をせず、一对の両方を0Vに設定する。これにより前述の各メモリセルの直列接続回路要素  $\{M_7, M_9\}$ 、および  $\{M_8, M_{10}\}$  は、一致・不一致と関係なく何れもOFFになり、このビットはマスクされたこと

になる。

### (3) メモリセルの「性能／面積」比の比較

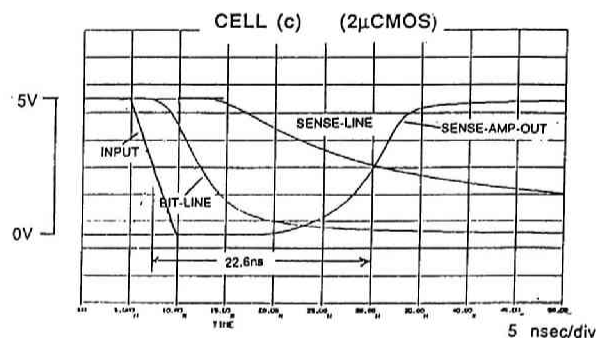
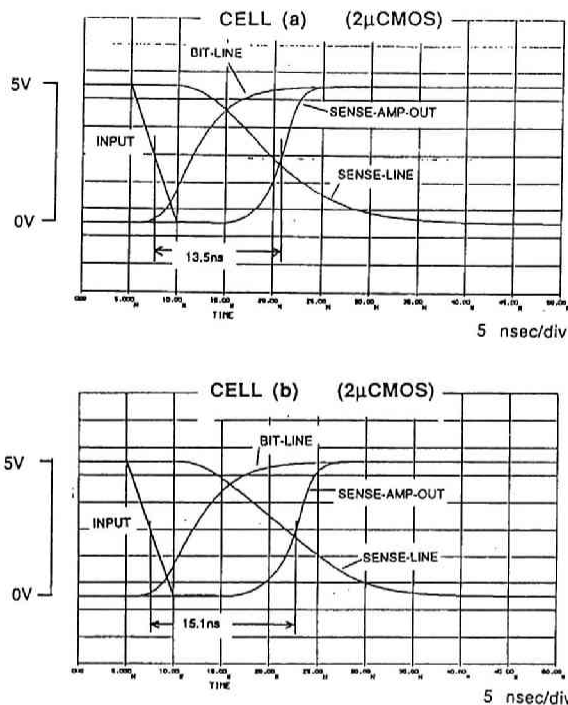
第5.2.5図に示した三種類のメモリセルの応答速度とセル面積について検討する。



第5.2.5図 共通センス線形CAMの各種メモリセル回路

セル面積は同一性能であれば勿論小さい方がよい。またセル面積はMOSFETや配線のレイアウト方法によって幾分異なるが、MOSFET数および配線数が多いほど面積も多くなると考えて評価する。同図で (a) (b) (c) とともに配線数は同一であり、素子数は (a) が10、(b) , (c) が9のため (a) のセルが大きくなる可能性が強い。一方、応答速度では、計算機による回路シミュレーションを使って、第5.2.6図のような結果を得ることができ、(a) (b) , (c) の順で特性が悪くなっていることが分かる。更に、(c) の回路では一つのビットで多くのワードに亘り不一致が発生した場合に、多くのワードのセンス線からドライバーの駆動能力を上回るほどの多くの電流が一本のビット線に流れ込み、ビット線の電位を引き上げるため、応答速度は一段と悪くなる。以上の解析の結果、速度とセル面積の点で (a) または (b) の回路形式がよいということが判断される。



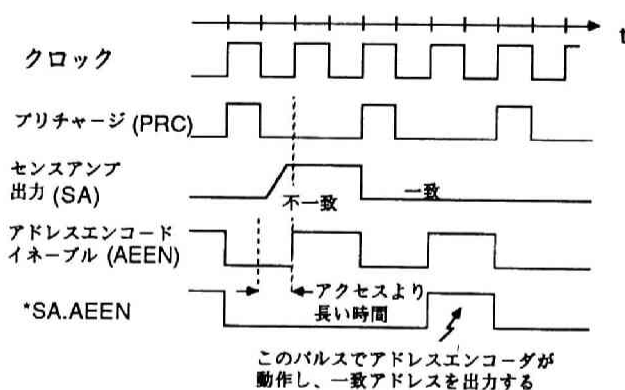


第5.2.6図 共通センス線形CAMの各種メモリセル回路

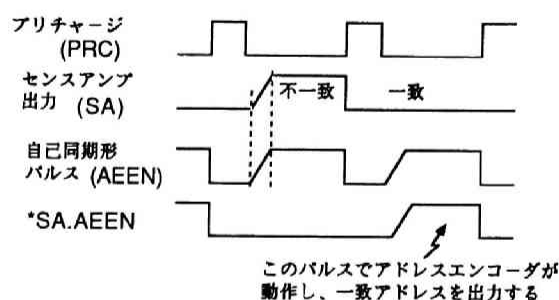
(a) (b) (c) に対する回路シミュレーション結果 (2 $\mu$ m CMOS)

#### (4) タイミング回路と制御回路

前述の一致検出動作の説明から明かなとおり、共通センス線形のCAMでは不一致のワードでのみセンス線の電位に変化が生じ、一致の場合は変化がない。従って、一定の時間が経過した後の一致検出回路出力電位を検索結果として次段へ送出しなければならない。また、検索動作の直前には、通常のRAMの読み出し動作と同様にプリチャージが必要である。(プルアップ形では不要である。) これらのタイミングを調整するためには一般に、「自己同期形」と「クロック同期形」の二通りの方法がある。前者は、最初の開始パルスによってある動作を開始し、それと同時にこの動作完了に必要な時間と同一の遅延回路を設け、開始パルスを遅延させたものを次の動作の開始パルスとして使用する方法である。一方、後者では、各種の動作完了時間の内で最も長いものをクロックの1周期として全動作のタイミングを制御する方法である。単目的で高速性が要求される場合は自己同期形が多く用いられ、各種の複雑な動作をする場合等ではクロック同期形が用いられる。各方法の典型的なタイミングチャートを第5.2.7図に示す。



(クロック同期形)



(自己同期形：5.4.3節の TLB の回路を参照)

第5.2.7図 タイミングパルス波形

また、一般に、CAMではRAM等比べて動作モードの数が増える。今まで述べてきたものだけでも、データレジスタへの書き込み、マスクレジスタへの書き込み、記憶データのメモリセルへの書き込み、参照データによる検索（マスクビットを生かす場合と無視する場合がある）等があり、動作の制御部としてタイミング回路だけでなく一種のシーケンサが必要となる。比較的簡単なシーケンサとしてPLA等が用いられる事が多い。

以上をまとめると、CAMのメモリセルは、面積的には同一製造技術のSRAMに比べて約4～6倍、即ち、 $2\mu\text{m CMOS}$ の場合1チップとして、64KbのSRAMと同程度か少し大きい面積で8KbのCAMを構成することができる。

一方、アクセス速度としては、同一面積のSRAMよりやや高速の応答が得られる。

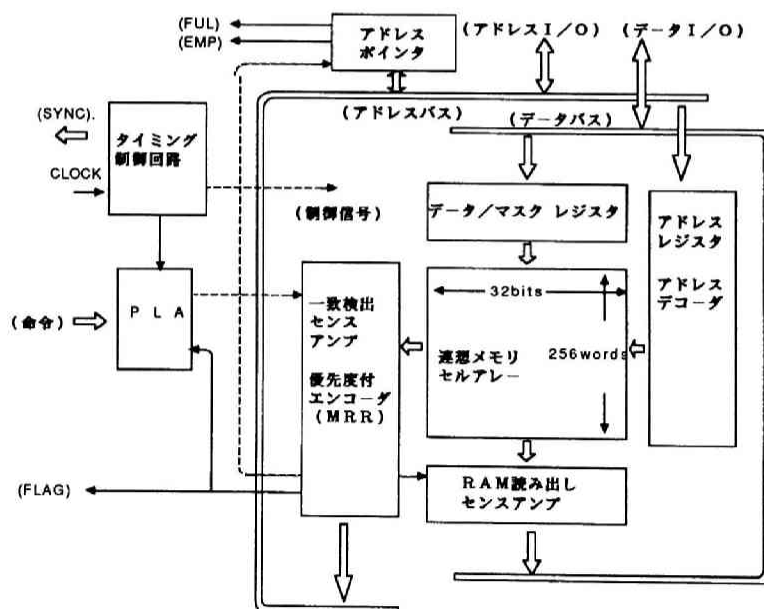
これは、SRAMの場合、内部アクセス時間は、アドレスデコードに要する時間とビット線をディスチャージしセンスアンプがその電位を検出するまでの時間の和であるのに対して、CAMの場合、アドレスデコードの時間が不要であるので、それだけ短時間で済むためである。

### 5. 3 再入力モードを持つCAMの構成、特性およびその応用

この節では、CAMの応用として、データフローコンピュータのトークン発火機構部に使うマッチングユニットとして設計された「再入力モード付きCAM(Content-Addressable and Reentrant Memory : CARM)」[5.12][5.13] について、その構成、特性およびデータフローコンピュータ中の動作を記述する。特に、前節でも触れたように、MRR機能付のアドレスエンコーダの構成法と、CARMに独特な、再入力モードによるガーベッジコレクション動作を詳しく説明する。

#### 5. 3. 1 CARMの構成と全体の概要

CARMの構成は、第5.3.1図に示した様に、ほぼ前節で説明したCAMの基本構成と同様である。メモリは  $32b \times 256w$ 、即ち、8 Kb である。前節の構成の他に追加されているものは、内部アドレスバス、内部データバス、アドレスポインタおよびMRR機能付きのプライオリティ・アドレスエンコーダ等である。この素子の動作は、4相の内部クロックと、外部から入力された命令をデコードし、内部の各ブロックに制御信号を供給するシーケンサの働きをするPLAによって制御されている。最高動作のクロック周波数は約10MHzである。通常の検索動作は次の順序で実行される。



第5.3.1図 CARMの構成図

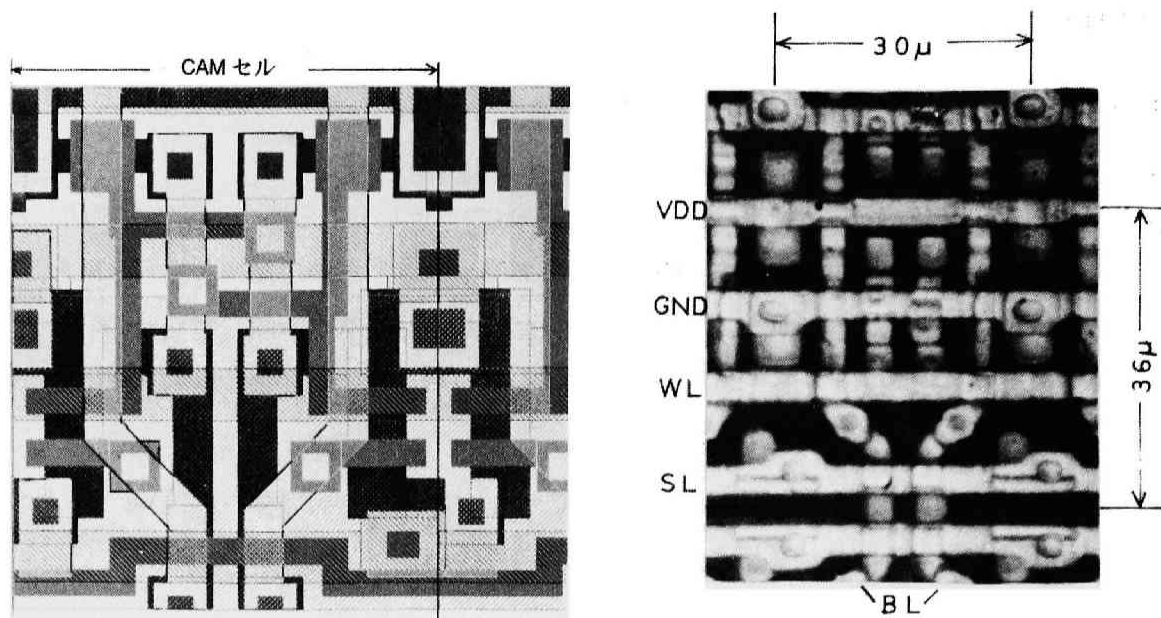
- (1)参照データがチップ外部からデータバスを経由してデータレジスタに書き込まれる。
- (2)CAMのビット線がマスクビットの情報も含んだ形でデータレジスタの値（即ち、参照データ）に従って駆動される。
- (3)もしも、参照データと記憶データとが或1ワードで一致している場合、前節で説明した様に、共通センス線の電位が高電位のまま保持され、これを一致検出回路で増幅し検索結果として出力する。この検索結果は次のプライオリティエンコーダに入力され、一致したワードのアドレスがエンコードされて内部アドレスバスに出力される。また同時に一致フラグもチップ内部・外部両方に出力される。
- (4)参照データと記憶データとが複数のワードで一致している場合、対応しているワードのアドレスがプライオリティエンコーダによって順次出力される。

CARMのメモリセルは第5.2.5図の(a)と同一であり、このマスクパターンとチップ写真を第5.3.2図に示す。プロセステクノロジーは $2\mu\text{m}$ -CMOS, 2層Alである。この写真（およびマスクパターン）で、縦方向の2本がビット線で1層目のAlによる配線であり、水平方向の4本が、各々 $V_{DD}$ , GND, ワード(WL)線、センス線(SL)で、2層目のAl配線である。セルサイズは垂直方向が $36\mu\text{m}$ 、水平方向が $30\mu\text{m}$ である。

その他、チップ全体の諸元を第5.3.1表に示す。

第5.3.1表 LSIとしてのCARMの諸元

項 目	数 値
チップサイズ	$4.8 \times 7.1\text{mm}^2$
トランジスタ数	約99,000
プロセステクノロジー	$2\mu\text{m}$ NwellCMOS, 1層Poly-Si, 2層Al
ピン数	55
メモリ構成	$32\text{b} \times 256\text{w}$
サイクルタイム	100nsec
消費電力	500mW



第 5.3.2 図 CARMのメモリセルのマスクパターンとその顕微鏡写真

### 5.3.2 プライオリティエンコードの構成[5.16]

複数のワードで同時に参照データと記憶データが一致した場合、それらに対応したアドレスが優先度（この場合は、幾何学的位置により一意的に決まっている）に従って順次出力される必要がある。この動作は、第5.3.3図に示すようなMRR (Multiple Response Resolver)回路により実現することが出来る。

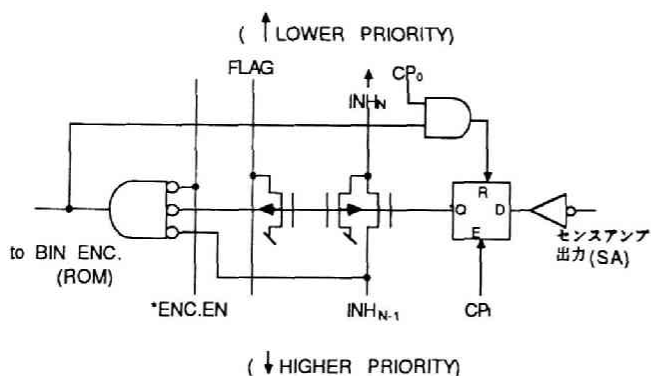
この動作を順を追って記述すると次のようになる。

- (1)もし、図の下から第N番目のワードで一致が発生した場合、このワードの一致検出回路の出力 (SA)は低電位のままである。この出力電位はインバータで反転され、ラッチで保持される。このラッチのイネーブルパルス CP1 はCAM動作を開始する度毎に、1度だけ制御部で作られる。
- (2)このラッチ出力によって、FLAG 信号および  $INH_N$  信号が高電位になる。 $INH_N$  は、N よりも優先度の低いワードに於けるアドレスエンコード動作を禁止する働きをする信号である。但し、N より優先度が低いワードとは  $i > N$  のワード i で、第5.3.3図中では上方にあるワードである。
- (3)従って、ワードNにおいても、一致検出回路出力が低電位であるだけでなく、 $INH_{N-1}$  および \*ENC.EN が何れも低電位でなければアドレスエンコード動作が行われない。これは、ワードNよりも優先度が高いワードでは「一致」が発生していないか、もしくは発生していても既にエンコ

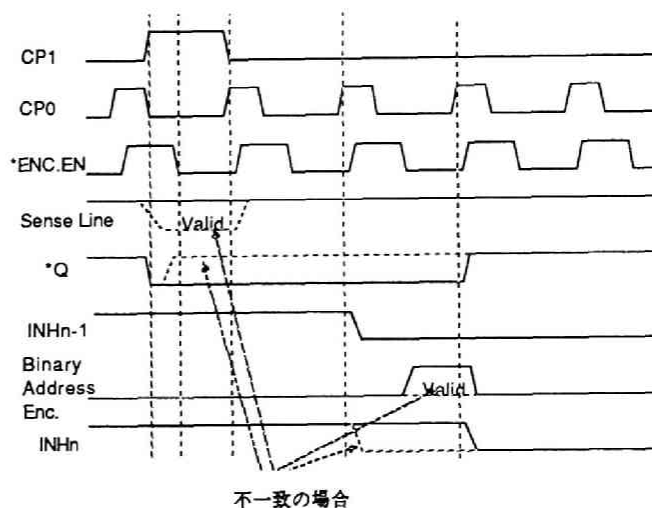
ードアドレスの出力を終了しているか、のどちらかを意味している。

(4) 上述の条件が満たされている時、ワード N においてアドレスエンコード動作が開始される。アドレスエンコーダは、言わば、OR-term のみの P L A で、各ワードの場所にそのワードの 2 進数をコーディングしておけばよい。ワード N において、OR-term P L A よりアドレス出力が終了した時点で、アドレスエンコード信号はフィードバックされて各動作サイクルの開始を示すクロック  $CP_0$  と AND されたもので、前述のラッチをリセットする。これにより、 $INH_N$  がリセットされ、N より優先度の低いワードで「一致」がある場合、このワードのアドレスエンコード動作が可能になる。

以上の動作における各部の波形を、第 5.3.4 図に示す。



第 5.3.3 図 プライオリティエンコーダ中の  
M R R 回路 (1 ワード分)

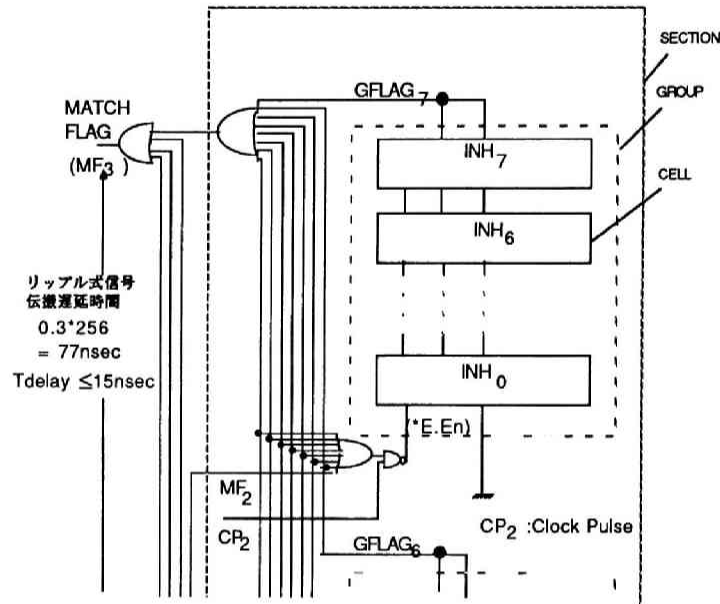


第 5.3.4 図 プライオリティエンコーダの  
M R R 回路各部の動作波形

前述のプライオリティエンコーダの中で、 $INH_n$  等の信号伝搬時間は素子全体の動作速度を決めるもので、非常に重要である。もしも、第 5.3.3 図に示した M R R 回路を 256 ワード直列に接続したとしたとすると、 $INH_n$  信号の最終段までの伝搬には 1 段当たり約 0.3nsec の 256 倍した時間 77nsec が必要になる。最悪の場合、即ち、ワード 0 とワード 255 で一致が発生した場合、77nsec 経過する以前にワード 255 のアドレスエンコード動作を開始すると、二つのアドレスが OR

されて出力され誤動作となる。

この信号の伝搬時間を短縮するために、ビット並列加算器における高速キャリー伝搬方式と類似の階層化を行う。この方式の概要を第5.3.5図に示す。



第5.3.5図 階層化した INH 信号伝搬方式のブロック図

まず、8個の連続したワードのMRR回路を集めて「グループ」を作り、このグループ内で共通の FLAG 信号をグループのフラグ GFLAG として出力する。各グループ内の最も優先度の高いMRR回路の  $INH_{n-1}$  入力は GND に接続する。また、\*ENC.EN には、より高い優先度のグループからの GFLAG 全ての OR をとったものと更にクロック CP<sub>2</sub> との AND をとったものを印加する。次に、グループ8個で「セクション」を形成する。セクション内の全ての GFLAGのOR をとったものを各セクションのフラグ SFLAG として出力する。各セクション内で最も優先度が高いグループの \*ENC.EN にはより高い優先度のセクションの SFLAG 全ての OR をとったものを印加する。以上の関係を整理すると、次のようになる。

$$\begin{aligned}
 GFLAG_n^{(m)} &= \sum_i \{ \text{Matching-Sense-Amp}_i^{(n)(m)} \} & i=0\sim7 \\
 SFLAG_m &= \sum_n \{ GFLAG_n^{(m)} \} & n=0\sim7 \\
 \text{TotalFLAG} &= \sum_m \{ SFLAG_m \} & m=0\sim3 \\
 *ENC.EN^{(m)} &= CP_2 \cdot \sum_i \{ GFLAG_i^{(m)} \} & i < n \\
 *ENC.EN^{(m)} &= CP_2 \cdot \sum_n \{ SFLAG_n \} & n < m
 \end{aligned} \tag{5.2}$$

$$*ENC. ENO^{(0)} = CP_2$$

このように、フラグ類を階層化することで、禁止信号の伝搬のクリティカルパスは、(MRR回路：8段＋8-入力OR：1段＋4-入力OR：1段)となる。計算機による回路シミュレーションから、最悪の場合の伝搬時間を、約15nsec にまで短縮することができた。

### 5.3.3 遅延書き込み技法による再入力モード動作[5.17]

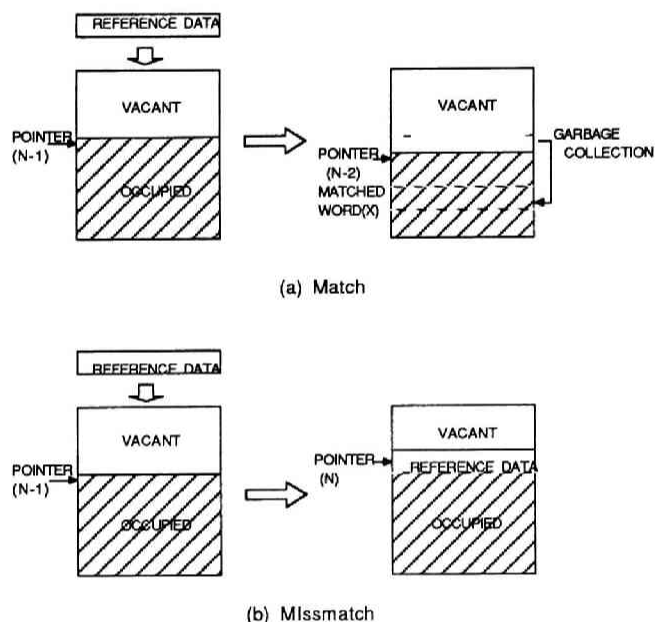
この素子は、前述のように、データフローマシン (DFM) のマッチングユニット (MU) 用に設計されたものであり、CAM としての基本機能以外に、幾つかの付加機能を持っている。その内の重要なものに再入力CAMモードおよび再入力RAMモードがある。再入力モード動作は条件付きの動作であり、CAMの検索結果で一致が発生した場合 (マッチの場合) と、一致が発生しない場合 (ミスマッチの場合) とで異なった動作になる。

第5.3.6図に、再入力モードによる素子内のメモリマップの状態変化の概略を示す。

まず、再入力CAMモードの動作について述べる。

#### (1)再入力CAMモード (マッチの場合)

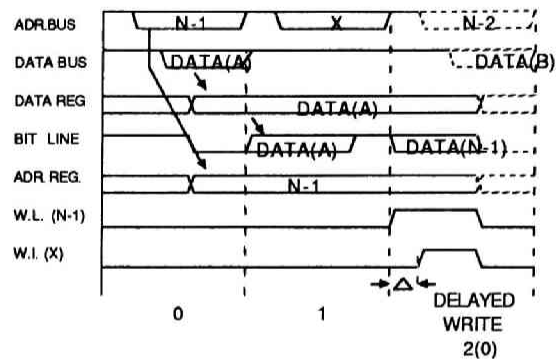
第1サイクルで、例えばワードxで一致が検出された場合、対応するアドレスがアドレスバスに出力される。このワードに格納されていたデータは、MUでは必要なくなるので消去される。従って、この場所xは空になる。次のサイクルで、この空地xを埋めるために (或は、ガベージコレクションを実行するために)、有効データが保持されているエリア (以後略して有効エリアと呼ぶ) の最上位のワード、即ち、ワード(N-1)をxの位置に書き込み、(N-1)の位置を逆に空にして連続した自由エリアに加える。この動作中における各部の波形を第5.3.7図に示す。まず、データバス上の参照データと、アドレスポインタの内容 (即ち、有効エリアの最上位アドレス



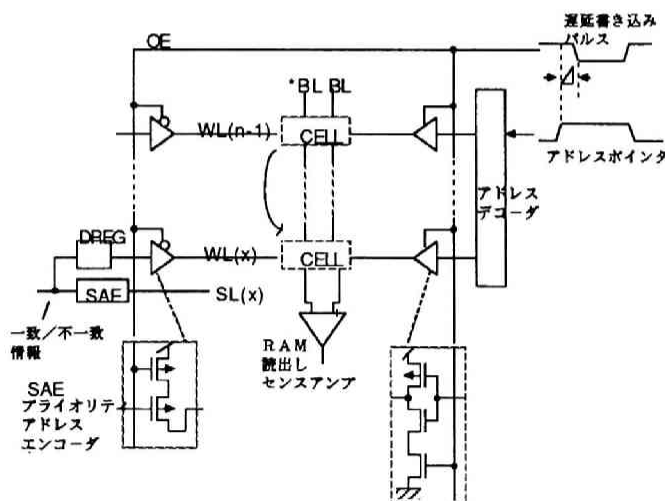
第5.3.6図 再入力モードによる素子内のメモリマップの変化



(N-1) をアドレスバスに読み出したものを各々データレジスタおよびアドレスレジスタに入力する。このデータは一致検索用のデータとして使用する一方、アドレスの方はデコードされ次の遅延書き込み動作のために準備される。第5.3.8図に遅延書き込み動作時に有効な回路を図示する。まず、第1サイクルの一致検出結果をMRR部のダイナミックレジスタDREGで記憶しておく。そして、第2サイクルの始め、有効エリア最上位のアドレス(N-1)がアクセスされ、ここに格納されていたデータがビット線に読み出される。或微小な遅延時間 $\Delta$ の後、(通常は約1/4サイクル程度)一致が発生したワードxが先程のDREGの状態に従ってアクセスされる。(但し、MUとして使



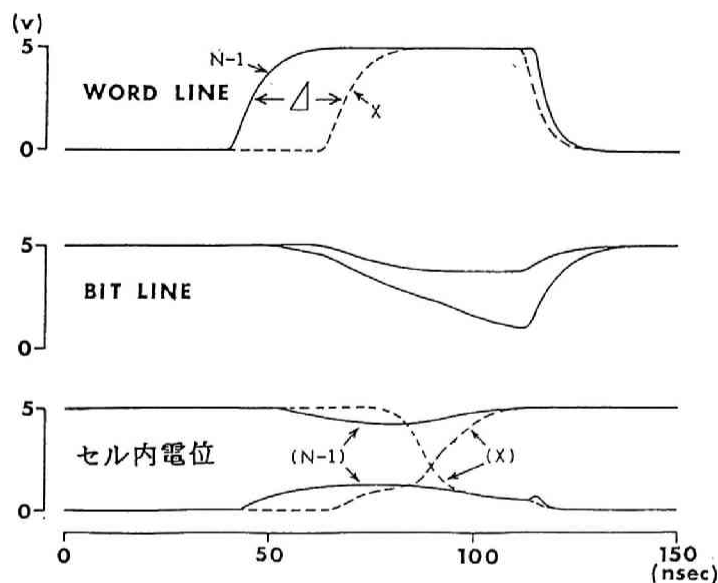
第5.3.7図 再入力CAMモード動作の  
タイミングチャート；マッチの場合



第5.3.8図 遅延書き込み動作の回路詳細図

用する場合には、複数のワードで一致が発生することはない。) この時、既に各ビット線の対には先にアクセスしたアドレス(N-1)のデータがしっかりとっており、ワードxからの読み出しは行われず、むしろ逆に(N-1)のデータがワードxに書き込まれる。遅延書き込み動作中の各部の電位を計算機シミュレーションで解析した。この結果を第5.3.9図に示す。

メモリセルの方でこのような動作が行われている時に、アドレスポインタではデクリメント動作が行われ、ポインタの値は(N-2)になっている。(アドレスポインタの値は、実は第1サイクルでミスマッチの場合に備えて1インクリメントされているので、マッチの場合には第2サイクルで2デクリメントする必要がある。) 以上の一連の動作により、ガーベッジコレクションの処理が完了したことになる。

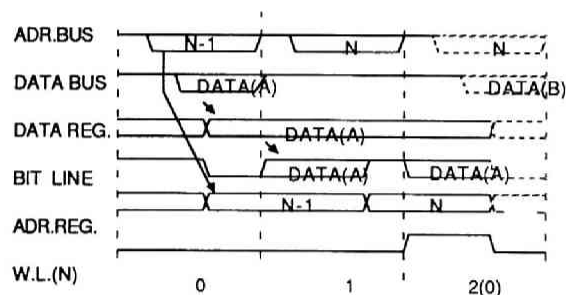


第5.3.9図 遅延書き込み動作の計算機による回路解析結果

## (2)再入力CAMモード(ミスマッチの場合)

この場合は、第1サイクルの一致検索動作に続いて、入力された参照データはメモリの有効エリアの最上位に更に積み上げられる形で格納される。この場合のタイムチャートを第5.3.10図に示す。

第1サイクルの動作はマッチの場合と同一である。しかし、第2サイクルではマッチフラグが立たないので、既に1インクリメントされているアドレスポインタの内容:Nをアドレスバスに出力し、



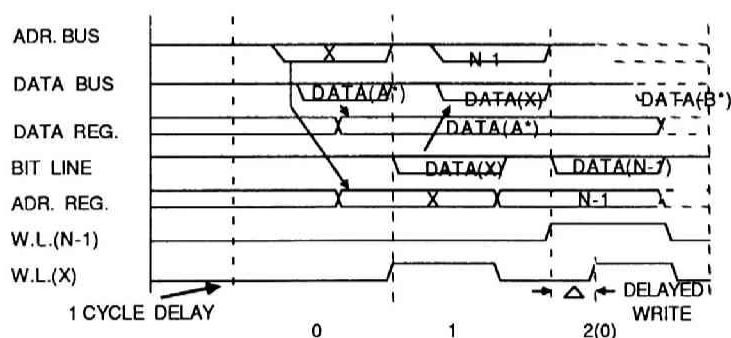
第5.3.10図 再入力モード動作のタイミングチャート; ミスマッチの場合

これをアドレスレジスタに取り込む。更に次のサイクルで、Nをデコードし、ワードNの位置に参照データを書き込む。マッチ、ミスマッチ何れの場合も、動作はパイプライン化されており、見かけ上の処理時間は2サイクルである。

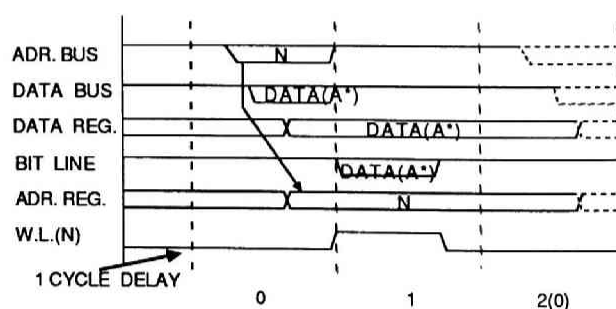
次に、再入力RAMモードの動作について簡単に述べる。このモードもMU用に設けられたもので、条件付きの動作をする。但し、この場合は素子自身でマッチ/ミスマッチの判断は行わず、素子外部から来るフラグ入力によって条件判断をする。

### (3)再入力RAMモード (マッチの場合)

第1サイクルでフラグ入力により「マッチの場合」であることを認識した後、外部からアドレスxを取り込み内部アドレスバスに送出する。この値はアドレスレジスタに取り込まれる。次のサイクルでxはデコードされ、ワードxがアクセスされ、この記憶内容がチップ外部へ出力されると同時に、MRR回路のDREGにこの位置を記憶させる。一方、アドレスバスにはアドレスポインタの値(N-1)が出力され、この値がアドレスレジスタに取り込まれる。更に、次のサイクルで、まず第一に、(N-1)がデコードされてアクセスされ、次に、遅延時間 $\Delta$ の後、ワードxがアクセスされ遅延書き込みがされる。同時にアドレスポインタの内容はデクリメントされ、(N-2)となる。以上のタイムチャートを第5.3.11図に示す。



第5.3.11図 再入力RAMモード動作のタイムチャート。マッチの場合



第5.3.12図 再入力RAMモード動作のタイムチャート。ミスマッチの場合

#### (4)再入力RAMモード（ミスマッチの場合）

第1サイクルで、入力フラグによりミスマッチが確認された場合、チップ外部の参照データを取り込み、これを内部データバスに送出し、更にデータレジスタに格納する。また、アドレスポインタからのその内容（N-1）をアドレスバスに送出し、これをアドレスレジスタへ格納する。第2サイクルで、（N-1）がデコードされ、ワード（N-1）がアクセスされデータレジスタの内容、即ち、参照データがこのワードに書き込まれる。アドレスポインタの内容はインクリメントされてNとなる。この場合の動作のタイムチャートを、第5.3.12図に示す。

#### 5.3.4 その他の動作モードおよび素子の電気特性

本素子は、全部で12種類の動作モードを持っている。これらは、RAMモード、CAMモード、再入力モード、その他モードに分類されて、第5.3.2表に示すようにまとめられる。

##### (1)AUTO-WRITEモード

外部からは記憶用データのみ供給し、アドレスはアドレスポインタの示す場所へ書き込む動作。アドレスポインタは自動的にクロックによってインクリメントするので、データは下から連続的に書き込まれることになる。

##### (2)CAM-SHORTモード

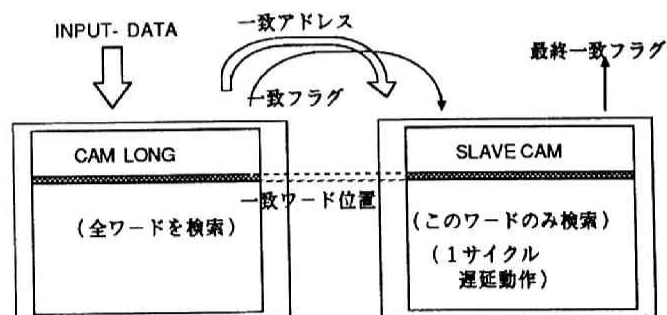
参照データによる検索を行うが、たとえ複数のワードで一致が発生しても、最も優先度の高いワードのアドレスとフラグのみを出力し、1サイクルで動作を終了する。

##### (3)SLAVE-CAMモード

このモードは、記憶／検索の対象となる語のビット幅が32bitを超えている場合に使用するもので、マスタ側のCARMとペアにして動作させる。例えば、48bitデータの場合、マスタ側はCAM-LONGモードに設定し、まずMSBの47～16bitまでをマスタ側で検索し、出力されてきた一致アドレスをスレーブ側に供給する。スレーブ側のデータ入出力端子には、15～0bitを1サイクル後れでアドレスと同時に供給し、一致した場合はフラグを立てる。マスタとスレーブの両方のフラグが立っている場合のみ全ビット幅で一致がとれている。この場合の各素子の接続を示したものが第5.3.13図である。

第5.3.2表 CARMの命令セット一覧

名称(サイクル)	入力	オペレーション	出力
R A M			
1. WRITE(1)	DATA, ADDRESS	SRAM-WRITEと同一	---
2. AUTO-WRITE(1)	DATA	DATAを順次ホインタどおり書き込む	---
3. READ(1)	ADDRESS	SRAM-READと同一	DATA
C A M			
4. CAM-SHORT(1)	REF-DATA	1語検索	FLAG ADDRESS
5. CAM-LONG(?)	REF-DATA	全語検索	FLAG ADDRESS
6. SLAVE-CAM(1)	R-DATA, ADDR	指定語検索	FLAG
R E E N T R A N T			
7. REENTRANT-CAM(2)	REF-DATA	検索GARBAGE COLLECTION	FLAG ADDRESS
8. REENTRANT-RAM(2)	R-DT, ADR, FLG	読出GARBAGE COLLECTION	DATA
M I S C E L L A N E O U S			
9. SET-MASK, REG(1)	MASK-DATA	マスクレジスタのセット	---
10. SET-ADDR, POINT(1)	ADDRESS	アドレスホインタの初期化	---
11. CLEAR ALL(1)	DATA	全メモリを初期化	---
12. NOP	---	動作無	---

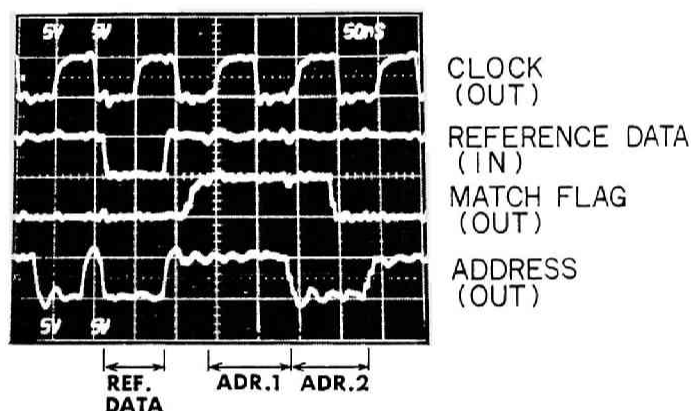


第5.3.13図 ロングワードのデータに対する一致検索

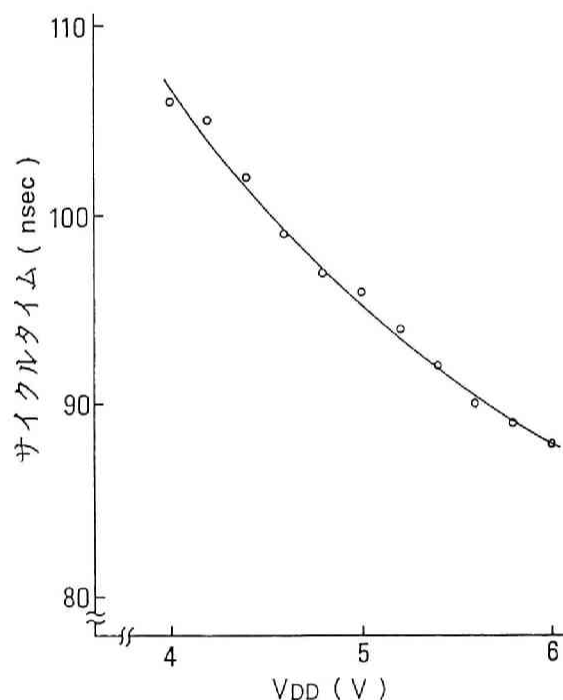
次に、この素子の電气的特性について簡単に述べる。

#### (4)素子の電气的特性

まず、一致検索動作時の入出力波形を第5.3.14図に示す。この例では参照データに対して、2ワードの一致がとれており、各々のワードアドレスが連続してアドレスピンから出力される。一方、第5.3.15図は、電源電圧を変化させたときに素子として動作可能なサイクルタイムの下限を測定した結果を示している。



第5.3.14図 一致検索動作時の素子  
入出力波形



第5.3.15図 CARMのマシンサイクルタイムの  
電源電圧依存性

CMOSのため電源電圧が下がると動作が遅くなる。また、周囲温度の影響としては、 $T_a = 70^{\circ}\text{C}$  の時この図の特性より約 20% 程遅くなる。諸特性をまとめて第5.3.3表に示す。また、CARMのチップ写真を第5.3.16図に示す。

第5.3.3表 CARMの電氣的諸特性

項 目	特 性
電源電圧	5V
消費電力	500mW(Ta=27℃)
サイクルタイム	100nsec( " )
入出力ピン	TTL Compatible
出力波形(立上がり/立下がり)	12nsec以下

### 5.3.5 CARMのアプリケーション: MU[5.13]

この節では、データフローマシン (DFM) のマッチングユニット (MU) として、CARMを使った場合の構成と動作を記述する。まず、DMFの全体の概略構成を述べる。

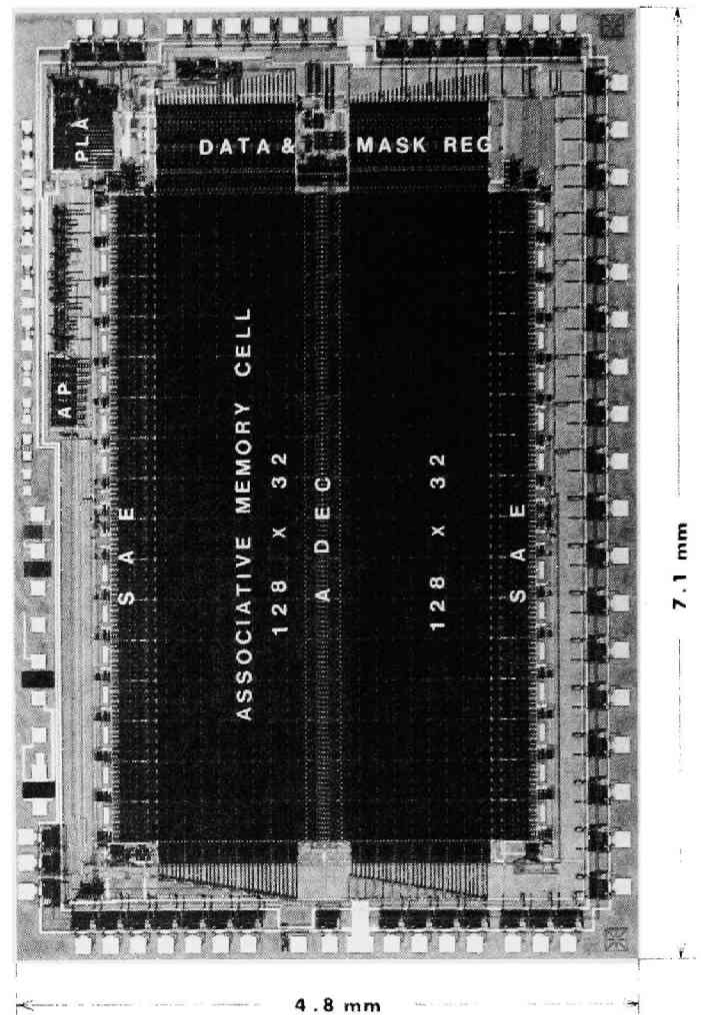
#### (I) DFMの全体構成

DFMは通常のノイマン形のコンピュータと異なり、データ (オペランド) 準備の状態により処理の順序を適切に変えていくコンピュータである。例えば、次のようなプログラムを実行する場合を考える。

..... (実行サイクル)

- |                 |     |
|-----------------|-----|
| (1) $X = A + B$ | (2) |
| (2) $Y = C / B$ | (8) |
| (3) $Z = X - A$ | (2) |
| (4) $U = C * D$ | (3) |

但し、A、Cは事前に準備が出来ている変数、B、Dは直前に演算結果が出力されたもの、X、Y、Z、U、Vは事前に準備が出来ていない変数である。  
また、演算素子は、加減算器が2、乗算器が1、



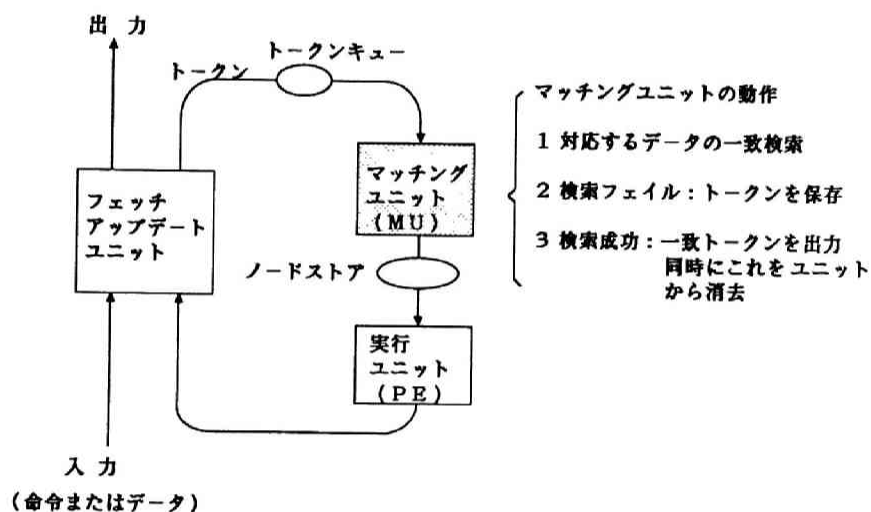
第5.3.16図 CARMのチップ全体の写真

- (5)  $V = X + U$  (2) 除算器が1とする。  
 (6)  $S = Z - V$  (2)  
 (7)  $T = X * B$  (3)  
 . . . . .

ノイマン形ではたとえ多少の並列性を加味しても、演算の実行順はプログラムによるため、 $\{(1), (2)\}$  ,  $\{(3), (4)\}$  ,  $\{(5)\}$  ,  $\{(6), (7)\}$  であり、全実行時間は 15 となる。

一方、DFMでは、 $\{(1), (2), (4)\}$  ,  $\{(3)\}$  ,  $\{(7), (5)\}$  ,  $\{(6)\}$  となり、当初の記述の順番とは変わるが、その時点で実行可能なものから実行され、全実行時間は 8 になる。

さて、このような演算／処理の順番の制御を実現するための方法の一つとして、ダイナミック形のDFMがある。これの構成図を第5.3.17図に示す。



第5.3.17図 ダイナミック形DFMの構成図例

この構成で、上記プログラムを実行する場合、マッチングユニット:MUには、準備が出来ているオペランドA, Cを含む処理番号(1)(2)(3)(4)が格納されている。そこへトークンキューから処理番号付きのデータ(或は、タグ付きトークン)(1)-B(2)-B(4)-D(7)-Bが順次入力される。この内、(1)(2)(4)はペアとなるべきオペランドが準備できているのでマッチングが成立し、(7)は相手がないためマッチングが成立しない。この結果をうけて、MUは(1)-A,B(2)-C,B(4)-C,Dを出力し、(7)-Bを記憶する。出力はノードストアに送られ、ここで処理内容に従って実行ユニット



(P E) とそこでの処理結果に付加する次の処理番号を指定されてP E部へ出力される。P E部では、あるサイクルの後処理が（この場合は四則演算）終了し、先ほど指定された処理番号が付加されてフェッチアップデートユニットへ送出される。もし演算結果が最終出力であれば、ここで出力の方へ送られ、次にまた使われるものであれば、トークンキューへ送られる。上記プログラムに対する実施例では、2 サイクル後に (3)-X (5)-X (7)-X、3 サイクル後に(5)-U、8 サイクル後に (?) -Y が出力される。この内、(3)-X はMUでマッチングが成立するので、直ちにP Eへ送られ処理がされる。(5)-X は (5)-U が到着するまで1 サイクルMUで待たされる。(7)-X はマッチングは成立するが、演算部が空いていないので（乗算器は処理(4)実行中）、ノードストアで1 サイクル待機状態になる。以上の様に処理を続けていった場合のフローチャートを以下に示す。

サイクル	出力	処理開始
0	(1)B (2)B (4)D (7)B	(1)A+B (2)C/B (4)C*D
1		
2	(3)X (5)X (7)X	(3)X-A
3	(5)U	(7)X*B (5)X+U
4	(6)Z	
5	(6)V	(6)Z-V
6	(?)T	
7	(?)S	
8	(?)Y	

## (II)C A R MによるMUの実現

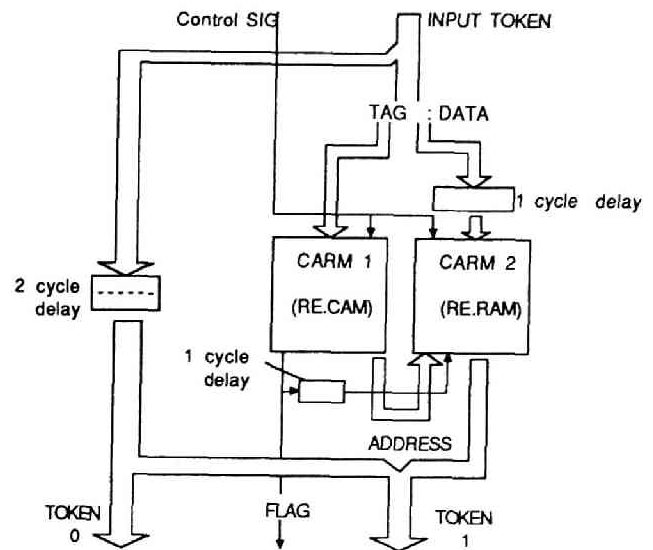
このダイナミック DMFの中で、MUの機能を整理してみると次の様になる。

- (a)ペアとなるオペランド（トークン）を検索し、処理番号の一致を見る。
- (b)一致した処理番号とそれに付随したオペランドを出力し、MUから消去する。
- (c)不一致の場合は、処理番号とオペランドをMUに格納する。

C A R Mを使って上記のMUの機能を実現するための構成を第5.3.18図に示す。

図中、左側のC A R M(CARM1)は処理番号を格納して再入力C A Mモードで動作させ、右側のC A R M(CARM2)はオペランドを格納して再入力R A Mモードで動作させている。一致検索動作に1 サイクル要するため、C A R M 2 への入力には1 サイクルの遅延を挿入している。最も左端のバスは1 オペランド演算用であって、その場合は一致検索の必要がなく、到着した処理番号とオペラ

ンドは直ちに実行可能で、次段に送られる。しかも前述の様に、再入力モードで使用しているので一致が発生した後、単に処理番号とオペランドが消去されるだけでなく、ガーベッジコレクションも実行され、メモリマップは常に整理された状態になっており、連続的に次の操作が実行できる。従って、このMUではパイプライン動作が可能であり、実効的に2サイクル：200nsecで1回のマッチング処理を完了する。

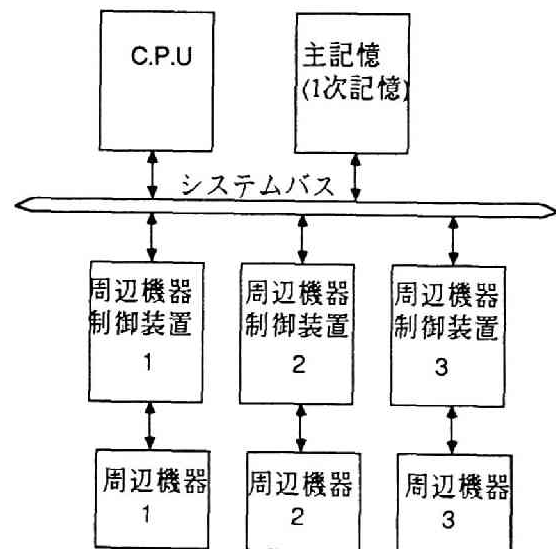


第5.3.18図 CARMを使った  
ダイナミックDFMのMU

#### 5. 4 記憶管理用LSIの中のCAM

この節では、コンピュータシステムの中のメモリ構成およびその管理のために使われるCAMについて記述する。

コンピュータシステムは一般に、CPU (Central Processing Unit)、主記憶装置 (メインメモリ)、周辺装置、周辺装置管理ユニット及びこれらをつなぐバス等からなる。(第5.4.1図参照) システムの性能は主にCPUと主記憶装置の特性で決まり、特にメモリの高速化と大容量化は極めて重要なものである。一方、実際のメモリデバイスを考えると、時代に応じて限界値は変化してはいるが、高速のメモリは一般に大容量のものが得難く、しかもビット当り



第5.4.1 図 コンピュータシステムの一般的な  
ブロック図

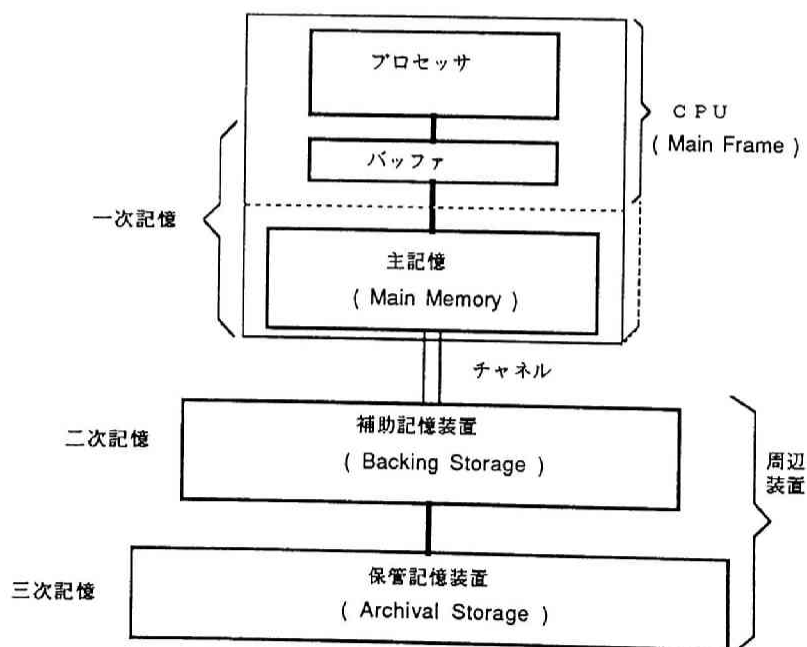
の単価が高価であり、低速のメモリは大容量のものが得易く、ビット当りの単価も安い。このような状態は「メモリのアクセスギャップ」と呼ばれているが、このアクセスギャップを解消し、高速で大容量のメモリを等価的に実現する方法として仮想記憶方式[5.18]がある。この方式では、CPUは常に高速で小容量のメモリを相手に処理を実行し、一方、低速で大容量のメモリも同時に用意し、そちらには一連の処理を実行するのに必要な全情報を記憶させておく。CPUがその高速メモリの記憶範囲外の情報を必要とした時には適当なアルゴリズムで高速メモリの一部と、低速メモリの内容の一部で必要とされる部分とを取り換える。

この節では、まず仮想記憶方式の構成と特性について検討し、次にこの方式の管理、特に高速アドレス変換用素子として使われるCAM等について述べる。

#### 5.4.1 仮想記憶システムの構成と特性

まず最初に、基本的な用語を説明する。コンピュータで処理を実行する時に、必要な命令やデータを取ってきたり処理結果を保存するためCPUからメモリアクセスがなされる。この時出力されるアドレスは、実記憶方式の場合はメインメモリのアドレスそのものであり「物理アドレス」または「実アドレス」と呼ばれるが、仮想記憶方式においては、このアドレスがそのままメモリ装置内の番地を示すものでなく、「アドレスの変換」を経て物理アドレスになる。この変換前のアドレスを「論理アドレス」もしくは

「仮想アドレス」と呼ぶ。更に、アクセスギャップを持った二種類のデバイスで階層的に構成されたメモリシステムでCPUに近い高速のデバイスを「1次メモリ」、低速のデバイスを「2次メモリ」と呼ぶ。通常、1次メモリには高速のDRAMやSRAM等の半導体メモリが使用され、容量的には数十KB～数十MB、2次メモリには高密度の磁気ディスク等が使用され、容量は数MB～数GBである。



第5.4.2図 仮想記憶システムの構成図

例えば、32bのCPUの場合、アクセス可能な全アドレス（：アドレス空間）は、 $2^{32}=4.3\text{GB}$ であるが、実質的にはこのアドレス空間を全部使いきることは殆どないので、コンピュータシステムの2次メモリとして通常数百MBのものが用意されていることが多い。（厳密には、2次メモリには1次メモリとデータを頻繁に交換するワークエリアと、それ以外の保存エリアがあり、ここで議論しているのはどちらかといえばワークエリアの方である。）第5.4.2図に典型的な仮想記憶システムの構成を示す。

仮想記憶のアドレス変換方式では従来より「ページ方式」と「セグメント方式」が使われており、双方共に長所欠点を持っているが、現在のところ前者を採用しているシステムが圧倒的に多い。従って、ここでも以降、ページ方式のアドレス変換の仮想記憶システムについて考察する。

ページ方式の仮想記憶システムでは、メモリ全体はある固定サイズのページに分割され記憶情報は全てどこかのページに割り当てられて記憶されており、また1次メモリと2次メモリとの記憶内容のやり取りなどの記憶管理が全てページ単位で行われる。具体的なフローは次のようになる。

- (1) CPUでメモリアクセスが発生した場合、まずその内容が1次メモリに格納されているものかそうでないかを調べる。
- (2) もし格納されているものであれば、変換テーブルI（このテーブル1次はメモリに常駐している）を参照して論理アドレスを物理アドレスに変換し、この物理アドレスで1次メモリをアクセスする。
- (3) 1次メモリ中にない場合（通常この場合を「ページフォールト」と言う）、CPUは一旦通常の処理動作を中断して、1次メモリと2次メモリとの間でページの入れ替え作業を開始する。
- (4) ページの入れ替え作業では、まず変換テーブルIIを呼び出す。変換テーブルIIは各ページが2次メモリのどこにあるのかを記したテーブルでかなりの大きさとなり、テーブル全体が1次メモリに入りきらないことも多く、変換テーブルをもって来るために再度ページフォールトが発生することも多い。
- (5) 次に、必要なページを2次メモリから1次メモリに持って来る作業であるが、1次メモリに空きがある場合は問題ないが（処理を開始した直後はこの状態である）、空きがない場合は当面使用されないであろうページを2次メモリへ戻して、この場所に新しく必要とされるページを持って来る。どのページを2次メモリへ戻すかという選択はシステム全体の性能に微妙な影響を与えるもので、かなり重要である。通常よく使われる入れ替えのアルゴリズムとしては、LRU(Least Recently Used) やFIFO(First-in First-out) 等がある。これについては後で詳しく述べる。

(6)入れ替え作業の最後として、実際に必要なページを1次メモリに持って来ると同時に、変換テーブルIも書き換える必要がある。これで(2)のステップに戻り、1次メモリからのメモリアクセスを実行する。

以上のフローチャートを第5.4.3図に示す。

次にページ方式の仮想記憶システムの性能について考える。

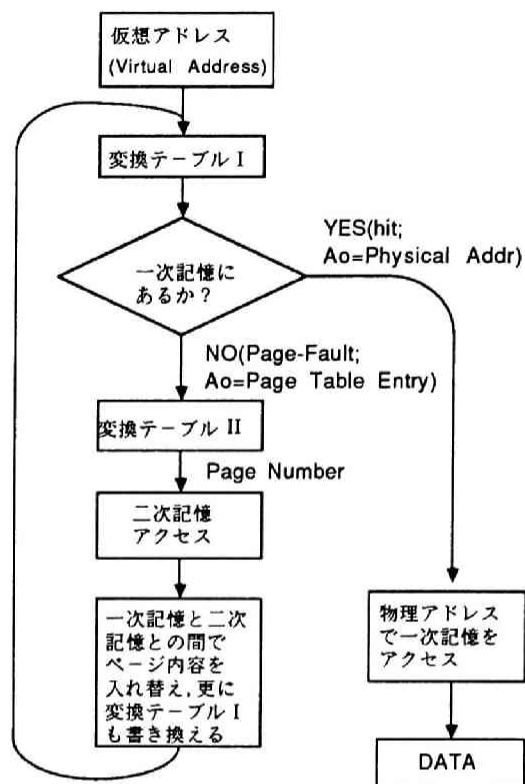
ページフォールトが発生した場合は、前述の通り多くの処理をする必要があり長い時間がかかる。特に、1ページ分の情報(通常0.5~4KB)をディスクと半導体メモリとの間をやり取りするステップには、数百 $\mu$ sec~数msecの時間がかかり、CPUと半導体メモリ間のアクセス時間の $10^3 \sim 10^4$ 倍となる。いま、アドレス変換の時間も含めた1次メモリのアクセス時間を $T_{PM}$ 、ページフォールト時の全処理時間を含めた2次メモリのアクセス時間を $T_{SM}$ 、全メモリアクセスの中でページフォールトを起こす確率を $P_{PF}$ とすると、実効的なアクセス時間 $T_{ac, eff}$ は次のようになる。

$$T_{ac, eff} = (1 - P_{PF}) \cdot T_{PM} + P_{PF} \cdot T_{SM} \quad (5.3)$$

従って、 $P_{PF}$ が充分小さいと(例えば、0.1%)、実効的なアクセス時間は1次メモリのそれに近くなり、大容量で高速のメモリを得るという当初の目的が達成される。

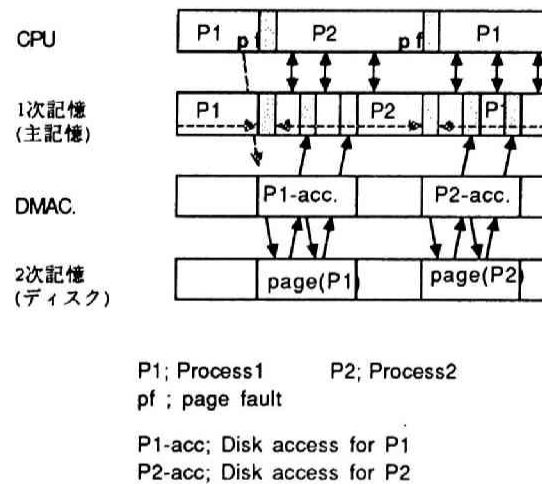
しかし、現実のシステムでページフォールトの確率が0.1%以下になる場合は少なく、通常は1~数%程度である。この値を(5.3)に代入すると、実効アクセス時間は1次メモリの10~100倍になり、このままでは仮想記憶システムもあまりメリットのないものになる。この不都合を解消するために、実際のコンピュータシステムでは更に工夫が凝らされている。この概念を、「仮想計算機(Virtual Machine)[5.19]」と呼び、システム内部で実行されている処理を、「マルチプロセッシング(マルチタスキング)」と呼ぶ。

一般に、コンピュータシステムは同時に複数の処理(プロセス)を実行することを要請されており、高速処理が可能なCPUはできるだけ遊ばせることなく動作させ、各プロセスを適当な単位に分



第5.4.3図 仮想記憶システムにおけるメモリアクセスのフローチャート

割して、順番にその単位処理をプロセス間で公平になるよう切り替えながら実行して行く。(第5.4.4図参照) これがマルチプロセッシングであり、このシステムのユーザからは、あたかもコンピュータが同時に全ての処理を実行している様に見える。このようなシステムでは、時間はかかるが操作自体は比較的単純な処理については、CPUはこれに直接関与せず、システム内部にある専用の制御装置に命令を送り、間接的に処理を実行し、CPU自身は別のプロセスの新しい単位処理を始めるように構成されている。(このようなルールを決めているソフトウェアはオペレーティングシステム：OSと呼ばれている。) 仮想メモリにおけるページフォールトに伴う処理も上記の長時間単純処理の一例であって、これの専用制御装置としては、DMAC (Direct Memory Access Controller) およびディスク制御装置 (Disk Controller) が設けられている。



第5.4.4図 マルチプロセッシングにおけるCPUの動作

ページフォールトが発生したときのCPUの動作の詳細は、前述の手順の内、(3)～(6)の操作が次の様に変化する。

- (3)直前まで実行していた処理を一旦停止し、将来この処理を再開できるようにCPU内部のレジスタやカウンタの内容を1次メモリの適切な場所に格納する。
- (4)次に本当のページフォールトの処理を始める。即ち、仮想アドレスの上位フィールドの仮想ページ番号で1次メモリをアクセスし、この結果、実ページ番号が得られる。
- (5)この番号および、前述のように適当なアルゴリズムで求めた不要と思われるページの番号を、DMACとディスク制御装置へ送ると、これらの装置は自動的に2次メモリ (ディスク) と1次メモリの各ページを入れ替える動作を実行し始める。
- (6)これ以降、CPUは別のプロセスの単位処理に移って行く。

従って、マルチプロセッシングの場合、上記(3)～(5)の操作の時間の和 ( $T_{PF}$ ) が、ページフォールトに伴うオーバーヘッド時間となり、システム全体の性能を決める実行的メモリアクセス時間

：  $T_{ac,eff}$  は (5.3) の  $T_{sh}$  に  $T_{PF}$  を代入した次の式になる。

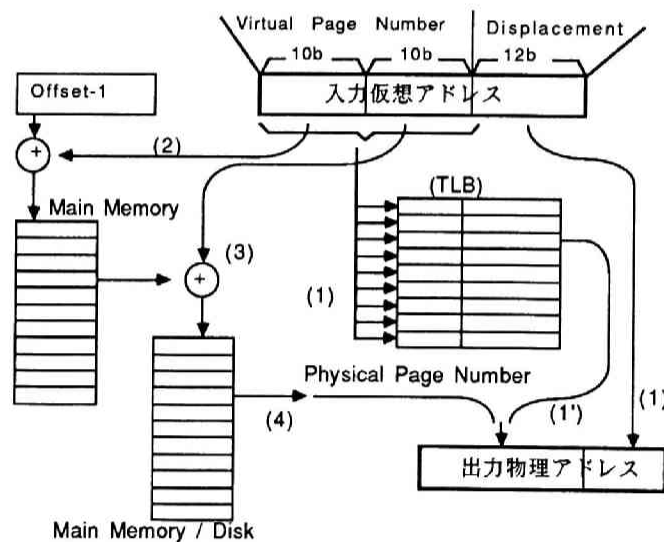
$$T_{ac,eff} = (1 - P_{PF}) \cdot T_{PH} + P_{PF} \cdot T_{PF} \quad (5.4)$$

$T_{PF}$  は通常、 $10\mu \sim 100\mu \text{sec}$  であり、 $P_{PF}$  が  $1 \sim 10\%$  であっても  $T_{ac,eff}$  は 1 次メモリのアクセス時間  $T_{PH}$  に近い値が得られる。

次に、前述の第 5.4.3 図 変換テーブル(I)におけるアドレス変換について考察する。

#### 5.4.2 高速アドレス変換装置：TLB

前述の通り、ページ方式の仮想記憶システムでは CPU のメモリアクセスの度にアドレス変換を実行する必要がある、この変換時間の短縮が全体の性能を向上させるためにも非常に重要である。このため高性能のコンピュータでは高速のアドレス変換専用のハードウェアが設けられているのが普通で、このハードウェアは TLB (Translation Lookaside Buffer) と呼ばれている。一般的なアドレス変換のアルゴリズムは第 5.4.5 図に示すようなものが多い。この例では、テーブル I の一部が TLB に格納され、ヒットした場合ここから直接物理アドレスが出力される。



第 5.4.5 図 アドレス変換アルゴリズムの例

この例では、32 ビットのアドレスを 3 種類のフィールドに分けて扱っている。即ち、LSB に近い 12 ビットはページ内のディスプレイースメント位置を示し、中央の 10 ビット及び MSB 側の 10 ビット



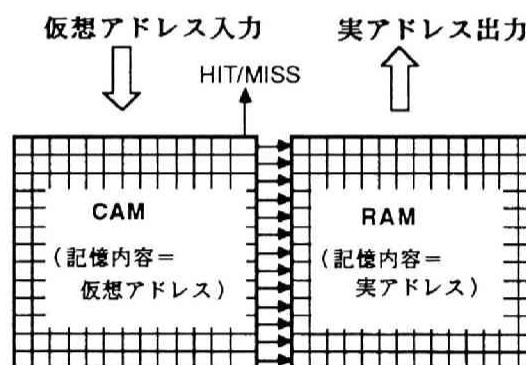
トは合わせてページ番号（VPN）を表すものであるが、これらのページ番号の一覧表であるページテーブル自体も非常に大きなサイズとなり複数ページに亘るので、MSB側の10ビットをページテーブルを構成している各ページが全メモリ空間のどのアドレスに格納されているかを示す第2テーブル（通常このページの先頭アドレス：ベースアドレスをテーブルとして持っている--->ベースアドレステーブル）、中央の10ビットはこのページ内のオフセット、即ち、ベースオフセットのアドレスである。また、ページフォールト処理において、ベースアドレステーブルが1次メモリ内に存在しないと以降のメモリアクセスができないので、ベースアドレステーブルは1次メモリ内に常駐させておく。

以上のようなアドレス変換アルゴリズムを考慮して、TLBの持つべき最低必要機能は次の二点である。

- (1) CPUがアクセスしてきたアドレスがTLBのバッファ内にあるかどうかの判断（ヒット／ミスの判断） 具体的には、TLB中のページ番号テーブル（テーブルIの一部）とアクセスされたアドレスの上位20ビットを比較し、一致しているもの（通常これをページテーブルエントリと呼び、メモリデバイスおけるワードに対応する）があればヒットであり、なければミスである。
- (2) ヒットの場合、論理アドレスを物理アドレスに変換して出力する。具体的には、(1)の操作で一致が検出されたページテーブルエントリの物理アドレスフィールドに格納してある対応する物理アドレスを読み出す操作を行う。

従って、これらの二つの処理を行うには、第5.4.6図の様にCAMとRAMを組み合わせた構成が適していることが分かる。これは、一致検出だけでなく、一致が発生した場合には、それに対応するワードが（図では同一「行」）の記憶内容が読み出される構成になっている。

次に、この構成のTLBの動作について少し詳しく検討する。



第5.4.6図 CAMを使ったTLBの構成  
(カタログメモリとも呼ばれる)



### 5.4.3 CAMを使ったTLBの動作

TLBの具体例として、32bマイクロプロセッサにオンチップ化されたTLB [5.20][5.21][5.22] の一部の顕微鏡写真と主要部の回路図を、各々、第5.4.7図および第5.4.8図に示す。

この写真中には、仮想アドレスのページ番号を記憶しているCAM (写真右)、対応する実アドレスを記憶しているRAM (写真左) および次の節で詳しく述べるLRU (写真中央) の回路が含まれている。メモリ構成は、CAM 23b x 32w、RAM 29b x 32w であるが、CAMのブロックには次に述べるセンス線の自動イネーブル化を図るため、EOS (End-Of-Sensing) 信号発生セル列が付加されている。各ワードは同一の高さになるようレイアウト設計されており、1  $\mu$ m CMOSのデザインルールで各セルのサイズは、

CAM: 42 x 22 ( $\mu\text{m}^2$ )、

RAM: 16 x 22 ( $\mu\text{m}^2$ )、

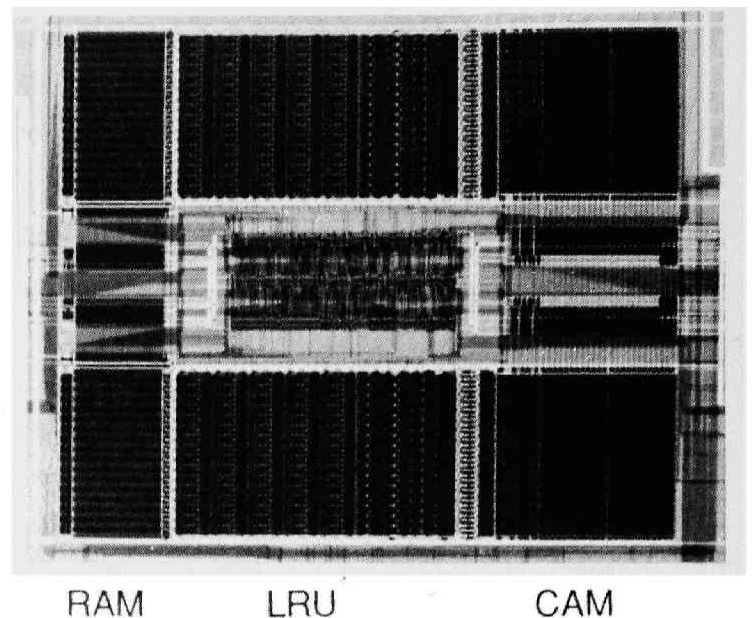
LRU: 200 x 22 ( $\mu\text{m}^2$ )である。

TLB動作の内、時間的なクリティカルパスは、ヒットした場合の検索開始から、実アドレスの出力までのアクセスである。第5.4.8図から明かな通り、CAMのセルは前節のものと同一であり、RAMのセルもごく普通のCMOSスタティックRAMのそれと同一である。ヒットした場合の検索動作を分解して考える。

#### (1)最初のセットアップ

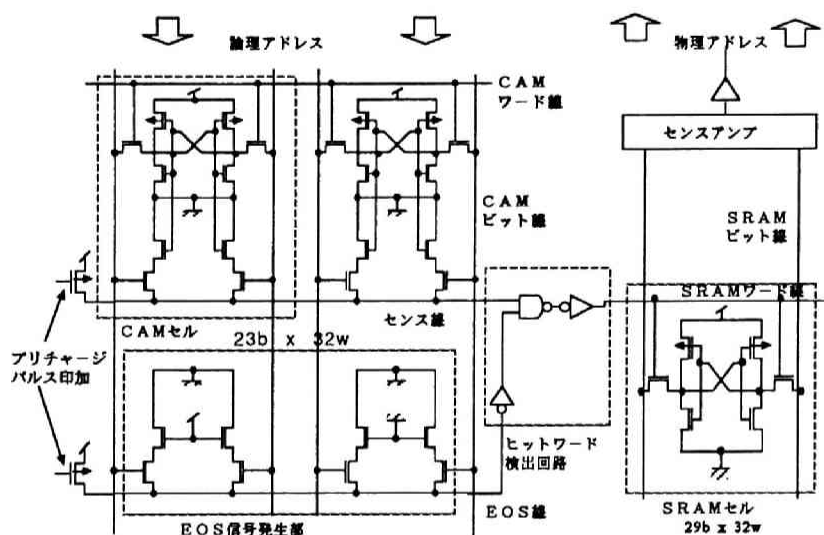
論理アドレスがCAMの各ビット線に入力される以前の状態として、各ビット線は書き込みドライバで全てグランド電位、センス線はプリチャージして $V_{DD}$ にセットする。

EOSワードでもセンス線は $V_{DD}$ 電位になっており、インバータを介して全てのセンス線とのANDがとられ、これらの出力が対応する各RAMのワード線に接続されている。従って、RAMのワード線は当初グランド電位にセットされている。一方、RAM側のビット線は、プリ



第5.4.7図 試作したTLBの顕微鏡写真

チャージして $V_{DD}$  電位にセットする。



第5.4.8図 TLBの主要回路図

## (2)論理アドレス入力 → 一致検出

CAMの通常のワードでは、前節で述べた様に、1ワードで一致が検出され、センス線が $V_{DD}$ 電位のまま保存され、他のワードは全て不一致状態で、何れかのビットでNMOSの直列接続回路要素回路がONになりセンス線がディスチャージされてグランド電位に近くなる。(但し、一般のCAMと異なり、TLBでは複数のワードが一致することは無いようにシステムが制御している。)EOSワードでは、1ビットだけがどのような論理アドレスに対してもディスチャージ動作を行う様、図に示したセル構造をとっている。即ち、EOSワードの内の1ビットで2つのNMOSの直列接続回路要素のゲートを、両方とも $V_{DD}$ 電位にし、他のビットでは直列接続回路要素のゲートを両方ともグランド電位にする。EOSワードは言わばダミーのワードで、センス線の浮遊容量は普通のセンス線と同一になっており、しかもこのセンス線をディスチャージするビットは一つなので、センス線の電位は他の不一致ワードのセンス線に比べてよりゆっくりか、もしくは同じ速度でグランド電位に近づく。これが更にインバータに接続されているため、若干の遅延時間を加えたタイミングで各センス線とANDがとられることになる。従って、不一致のワードでは必ずそのワードのセンス線が低電位となってからEOS側の信号(低電位から高電位になるパルス)が到達し、ANDがとられるため出力はグランド電位を出し続けることになる。一方、

一致ワードでは、EOS側の信号到達によりAND回路が動作し、RAMのワード線を $V_{DD}$ 電位に駆動する。

### (3)ワード駆動 → 物理アドレス出力

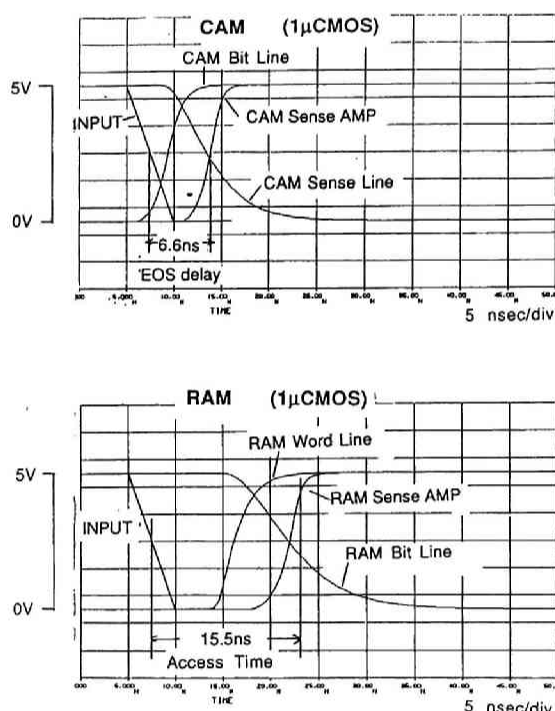
この動作は、通常のSRAMのアドレスアクセス動作の一部と同一である。ワード線のポリSi配線によるRC遅延をなくするため、Al線を平行して配し、適当な間隔でポリSi配線とコンタクトをとるようにする。この場合8bに1つの割合でコンタクトをとっている。センスアンプはラッチ形（正帰還路をもった）の高速のものである。

以上の動作中の各部の電圧シミュレーション波形を第5.4.9図に示す。この結果より、論理アドレス入力から物理アドレス出力までのTLB変換時間は16nsecであることが分かる。

TLBがミスの場合の応答は、次に変換テーブルIを1次メモリからアクセスして、アドレス変換を実施するか、ページフォールト処理を行うことになるので、システム全体の性能からみると、時間が少々長くかかって問題無いが、この例はオンチップTLBなので、外部メモリに対するアクセスの準備等を直ちに停止せねばならず、ヒットの場合と同様に高速の出力が要求される。

この場合必要なのはCAMの全ワードから来る不一致信号のORであるから、上記の変換時間16nsecより約5nsec程度速く出力を得ることができる。

従って、チップ内のタイミング設計としては多少の余裕を見込んで20nsecで変換動作または外部メモリアクセス停止動作が完了すると考えてよいことになり、このTLBをオンチップに搭載したマイクロプロセッサは、50MHz以上のシステムクロックで動作が可能である。



第5.4.9図 TLBアクセス時の内部電圧波形  
(ヒット時)

#### 5.4.4 機能メモリとしてのLRU回路

前述のように、仮想記憶システムで、実効的なメモリアクセス時間を1次メモリのそれに近くするためには、ページフォールトの確率( $P_{PF}$ )が小さいことが必要である。1次メモリの容量が大きければ $P_{PF}$ が小さくなるのは当然であるが、ページフォールト時の1次メモリ内のページと2次メモリ内のページとを取り換えるアルゴリズムによっても $P_{PF}$ はかなり影響を受ける。最悪の例としては、或プログラムを実行中にページフォールトが発生し、1次メモリ中のページ $P_a$ を2次メモリに戻し、2次メモリ中のページ $P_b$ を1次メモリに呼んで来てプログラムを続行したとする。ところが、次のステップでページ $P_a$ の情報が必要となり、再びページフォールトが発生する。このようなことが繰り返される状態は「スラッシング(Thrashing)」と呼ばれており、極力避けねばならない状態とされている。同様なことがTLBの「ヒット／ミス」についてもいえる。

LRU(Least Recently Used)という取り替えのアルゴリズムは、「最も昔に使われたページから順に1次メモリ(または、TLB)の外に出していく」というもので、スラッシングや普通のミスが起こる確率が低く、理想に近いものとされている。しかし、従来完全なLRU方式の高速なメモリ管理機構は実現が難しいとされていた。これは、常に使われているページをモニタしておく必要がある点と、この結果に従って、現在1次メモリ(または、TLB)中にあるページのリストテーブルで各ページのプライオリティを更新して行かねばならない点とが難しいためであった。

この節では、CAMのメモリセルに幾つかの回路を追加した新しいセルを行列状に並べた構造で、高速動作可能なメモリ管理用LRU回路を実現したので、これについて記述する。

##### (I)LRUを実現するための基本的操作[5.23]

説明を簡単にするため、1次メモリには全部で32ページが格納できるものとする。各ページには管理用の番号：プライオリティ(0～31)を付け、次にミスが発生した場合は、31番目のページが2次メモリへ退避される。LRUは次の手順で実現できる。

- (1)メモリアクセスごとに、TLBでヒット／ミスが検出される。
- (2)ヒットの場合、例えば、プライオリティが15番のページがヒットした場合、まずこのページのプライオリティを0にする。同時に、15番以下のプライオリティのページでは、これを1インクリメントする。16番以上のものについては、そのまま放置する。
- (3)ミスの場合は、31番目のページテーブルエントリを外部へ退避し、新しくTLBのバッファへ導入されたページを0番に設定し、従来の0～30番を総て1インクリメントする。

これらの操作により、常時、最近使われたものから順にプライオリティが0～31に設定される。

## (II)LRUハードウェアの構成

基本操作で述べたものを実現するために

- (1)プライオリティ番号を格納したテーブル（32個のカウンタの行）を持つ。
- (2)TLBのヒット信号が直ちにLRU部分に導入できるように、TLBの各CAMから出力される一致信号がそのまま各カウンタ行に接続されるようにする。
- (3)各カウンタ行には大小比較回路が設けられており、各カウンタの値とヒットしたページのプライオリティ番号がのった共通信号線の値の大小を比較する。
- (4)カウンタは、外部条件によって3種類の動作をする。

0にリセット：TLBヒットの場合で、ヒットしたページ（ワード）位置

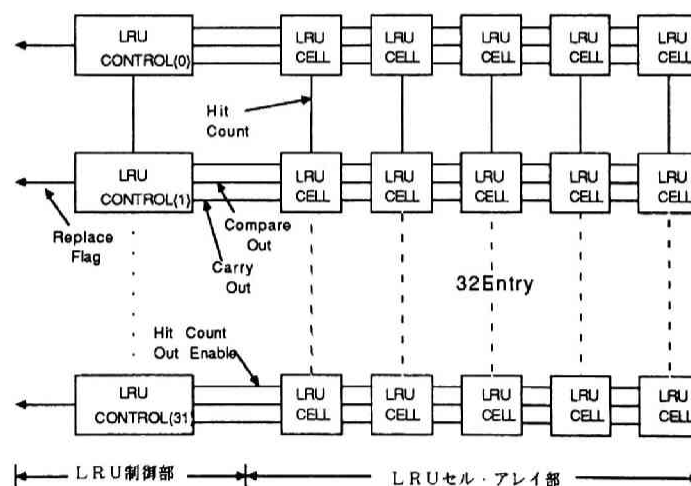
ミスの場合、31番ページ

1インクリメント：TLBヒットの場合、ヒットページより番号が小さいページ

ミスの場合、31番以外のページ

不変：TLBヒットの場合のみ、ヒットページより番号が大きいページ

以上のような基本構成を実現したのが、第5.4.10図に示すLRU回路である。

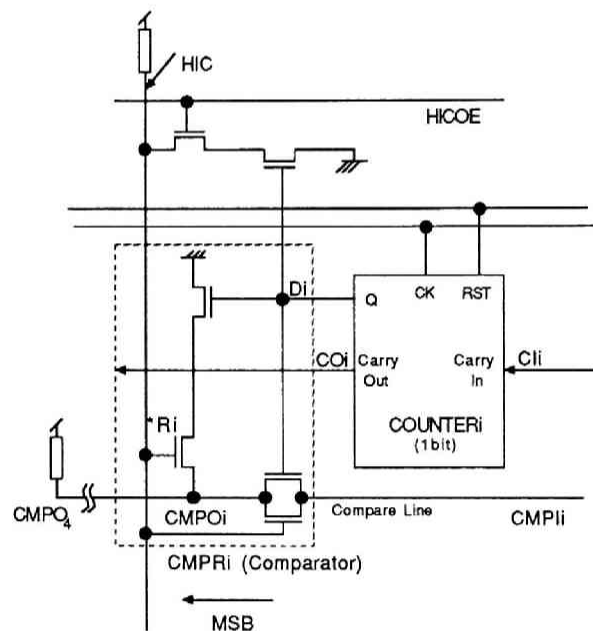


LRU回路の構成（32エントリー）

第5.4.10 図 新しいLRU回路とそれを使ったメモリ管理LSIブロック

この図に示したように、新しいLRU回路は、5b x 32w のLRUセル行列と各ワードに1個ずつ設けられた32個のLRUコントロールセルから成る。各カウンタは最初、下から順に0～31がセットされており、TLBがいっぱいになるまではミスごとに上から順次新しいページが詰まっていき、全てのワードのカウンタは1インクリメントされる。但し、この場合でも各メモリアクセスごとにプライオリティ番号は更新され、より古いアクセスのあったページが常により大きなプライオリティ番号を持つようになっている。また、一旦TLBが全部詰まった後は、ミスが発生した場合31番のページが2次メモリへ退避される候補として、外部に出力され、この位置のワードに新しいページが格納される。

LRUセルの回路図は第5.4.11図に示すように、カウンタ部分(COUNTER)、比較回路部分(CMPR)、ワード方向のヒットカウント出力イネーブル線(HICOE)、ビット方向のヒットカウント線(HIC)、ワード方向でカウンタのLSB側からMSB側へ直列接続された形のコンペア入力/出力線(CMPI/CMPO)、キャリー入力/出力線(CI/CO)、カウンタ回路へのクロック線(CK)およびリセット線(RST)から成る。このLRU回路の動作タイミングチャートを第5.4.12図に示す。このブロックは4相クロック $\phi_0, \phi_1, \phi_2, \phi_3$ で駆動される。ここでは説明の便宜上、高電位を1、低電位を0とする。また、ハイインピーダンス状態をHiZで示す。 $\phi_0$ で、TLB部とHICのプリチャージを行う。TLBがヒットした場合、 $\phi_1$ の途中でヒットワードのHICOEが0から1になり、HICの各線路上にヒットワードの反転データ \*Rがのる。一方、 $\phi_1$ ではMSB端のCMPO<sub>4</sub>に設けられたプルアップ回路でプリチャージがされており、CMPO<sub>4</sub>の電位は1になる。 $\phi_2$ になると直ちに



第5.4.11図 LRUセルの回路図

比較動作が開始される。MSB 側から各ビットを4 3 2 1 0 とし、第 i ビット目の HIC の値を \*R<sub>i</sub>、COUNTER の値を D<sub>i</sub>、CO、CI も各々 CO<sub>i</sub>、CI<sub>i</sub> とすると、CMPR<sub>i</sub> の動作は、

- a: CMPO<sub>i</sub>=CMPI<sub>i</sub>(=CMPO<sub>i-1</sub>); if \*R<sub>i</sub>≠D<sub>i</sub>(or R<sub>i</sub>=D<sub>i</sub>)
- b: CMPO<sub>i</sub>=0 ; if \*R<sub>i</sub>=1 D<sub>i</sub>=1
- c: CMPO<sub>i</sub>=HiZ ; if \*R<sub>i</sub>=0 D<sub>i</sub>=0

更に、1ワード全体の比較動作を考えると、

R > D では各ビットが、cxxxx, acxxx, aacxx, aaacx, aaaac ( x = a or b or c )

R < D では各ビットが、bxxxx, abxxx, aabxx, aaabx, aaaab ( 同上 )

R = D では各ビットが、aaaaa

のようになり、最終出力(CMPO<sub>4</sub>)としては、

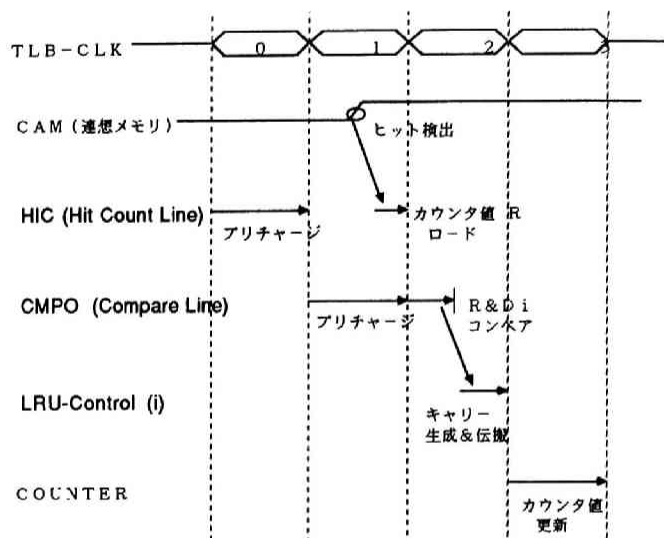
R = D, R > D ; CMPO<sub>4</sub> = 1 (但し、CMPI<sub>0</sub>=HiZ)

R < D ; CMPO<sub>4</sub> = 0

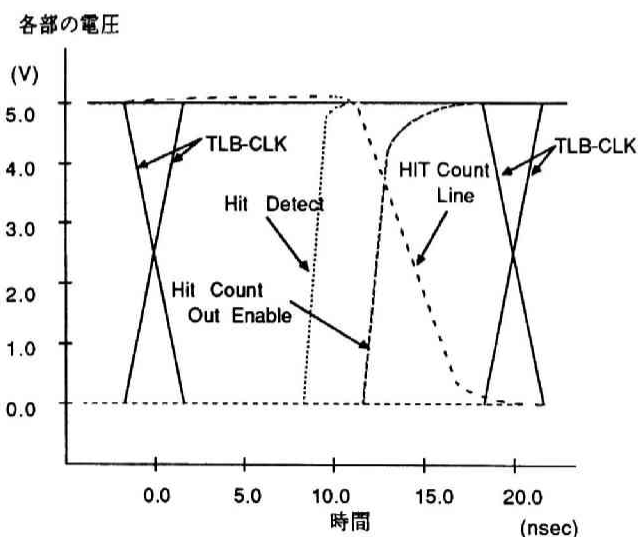
この結果はφ<sub>2</sub>の途中で出力され、これを使ってCI<sub>0</sub>(=CMPO<sub>4</sub>)が生成される。φ<sub>3</sub>ではその立ち上がりエッジでCNTRの更新がされる。即ち、CI<sub>0</sub>が0の時は不変、CI<sub>0</sub>が1の時は1インクリメントされる。また、ヒットワードではRSTによりダイレクトリセットされてCOUNTERは0となる。これらの制御信号はLRUコントロールセル内で生成される。

ミスの場合は、LRUコントロールセルでφ<sub>1</sub>の時点でこれが検出され、φ<sub>3</sub>の時点で、31番のワード(即ち、入れ替わるワード)でRSTとREPLACE-FLGが、それ以外のワードでCI<sub>0</sub>=1が生成される。

これらの各動作の中でタイミング的に最もクリティカルなのは、φ<sub>1</sub>におけるTLBのヒット検出から、HICにヒットワードのプライオリティ番号を出力するまでの時間である。計算機による回路シミュレーションで、第5.4.13図のような結果が得られているので、クロック1相が20nsec、全体のサイクルタイムとして80nsecが実現できる。



第5.4.12図 LRU回路動作  
タイミングチャート



第5.4.13図 LRUのクリティカルパス部  
動作(回路シミュレーション結果)

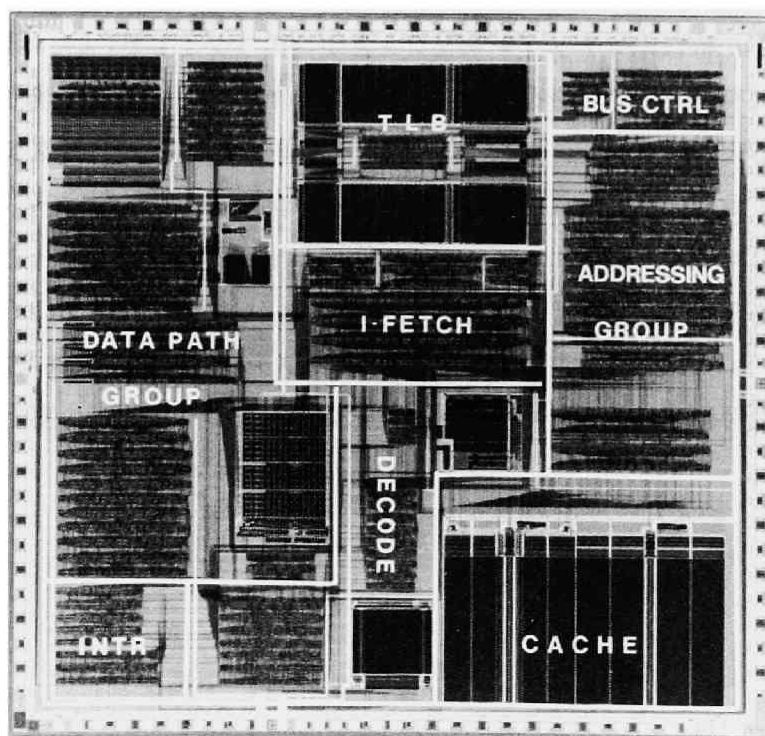


#### 5.4.5 TLBをオンチップ化した32ビットMPU

前述の通り、このTLBは32bマイクロプロセッサにオンチップ化されて試作された。使用した製造プロセスは1 $\mu$ mCMOSで2層A1配線である。構成は、RAM、CAM、LRU制御回路から成る、32エントリテーブルブロックを2個設け、一方をユーザモード用、他方をスーパーバイザモード用（システム管理ソフト用）としている。各ブロックの大きさと、配線部分を含めたTLB全体の大きさは、第5.4.1表のようであり、チップ全体の大きさ（9.74x9.45mm<sup>2</sup>）の約9%の面積である。また、試作した32bマイクロプロセッサのチップ写真を第5.4.14図に示す。

第5.4.1表 TLBの諸元

全体構成	32エントリブロック x 2
	3.31x2.52mm <sup>2</sup> （配線と制御回路を含む）
各ブロック中	2.98x0.73mm <sup>2</sup>
RAM	28b x 32w, 0.53x0.73mm <sup>2</sup>
CAM	28b x 32w, 1.06x0.73mm <sup>2</sup>
LRU制御回路	5b x 32w, 1.39x0.73mm <sup>2</sup>



第5.4.14図 32bマイクロプロセッサのチップ写真



1  $\mu$ m CMOS 製造技術を使用し、新しいCAMセルやLRU回路等を用いたので、フルアソシアティブ方式でLRU回路付きのTLBという、従来では非常に大規模なハードウェアになっていたものを、プロセッサと同一チップ上に小面積で実現することができた。

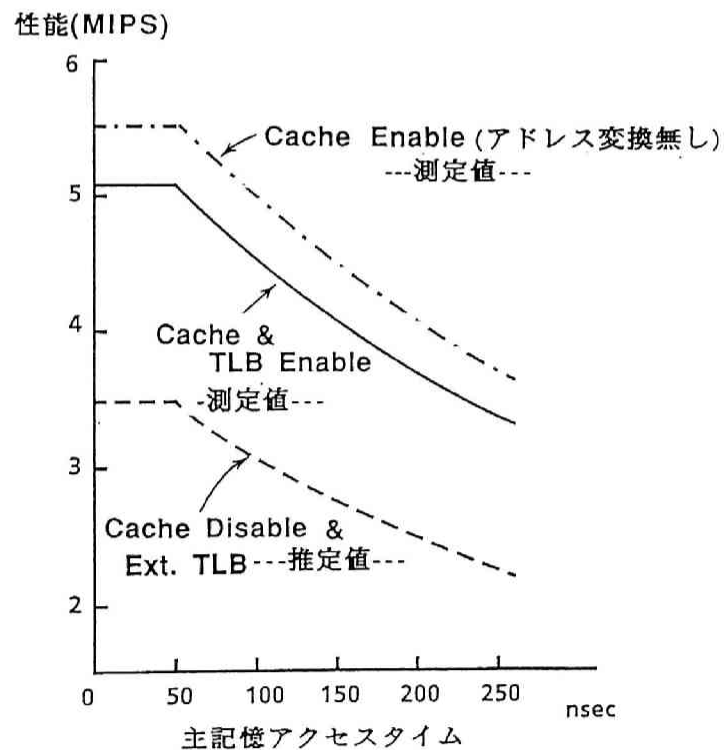
また、アクセスとしては、CAM部分の新規な自己同期方式およびLRU部の新しい比較回路等の採用により、ミスヒット出力12nsec、ヒット時のアドレス変換時間16nsec、という高速動作が可能となった。また、LRU回路も各単位操作の所要時間が16nsec以下なので、内部クロックの1相が20nsecの4相クロックを使用し、マシンサイクル80nsecのプロセッサ本体とのマッチングが可能である。このマシンサイクルで標準的なプログラムを実行させた場合のMPU全体としての性能はオンチップTLBでアドレス変換を実施し、しかも、やはりオンチップ化された2KBの命令キャッシュ[5.24]も使った状態で、5.1MIPSという高い値が得られた。

参考までに、このマイクロプロセッサチップ全体の諸元を第5.4.2表に、チップ外部に付けるメインメモリのアクセスタイムとプロセッサの性能との関係を第5.4.15図に示す。第5.4.2表の演算性能中、乗算／除算の速度(R-R演算 MUL/DIV)は小面積で比較的高速の内蔵巡回形乗算器／除算器[5.25]を使って実現したものである。

一般的に、32ビットのマイクロプロセッサは大型計算機やスーパーミニコンのCPUと変わらない機能を有しており、[5.26]その高機能化のためには各種の方式が使用される。その内幾つかは既に前章で述べたが、特にオンチップキャッシュとオンチップTLB(またはMMU)は第5.4.15図に示すごとく非常に有効であり、今後の新しいMPUの開発においても高速化の有力な手段として使われることになると考えられる。また、ここで示したMPUは比較的複雑な命令セットを持つコンピュータで、CISC(Complex Instruction Set Computer)と呼ばれているものに属するが、制御系が複雑になりマシンサイクルタイムがある限度以下に短くしにくい。これを解消するため、近年、命令セットを簡単にしたRISC(Reduced Instruction Set Computer)が多く開発されている。[5.27][5.28] RISCでは、CISCに比べてソフトウェアの負担は増加するが、マシンサイクルタイムは、かなり短くできるので、高性能化には適しており、将来の主流技術になると考えられる。

第5.4.2表 32bマイクロプロセッサの諸元

プロセス技術	1 $\mu$ m N-well 2層Al CMOS
トランジスタ数	約372,000
チップサイズ	9.74 x 9.45 mm <sup>2</sup>
パッケージ	120pin PGA
オンチップデバイス	2 x 32entry Full-Associative TLB 2KBytes 2way Set Associative I-CACHE
外部バス(アドレス/データ)	32b/32b
電源電圧	5 V
消費電力	1.7 w
外部クロック	50 MHz
マシン/(I/O)サイクルタイム	80 nsec
R-R 演算 32b-ADD/SUB	1 / 1 cycle
32b-MUL/DIV	6 / 13 cycle
総合性能	5.1 MIPS



第5.4.15図 メインメモリのアクセスタイムと32bMPUの性能

## 5. 5 連想メモリのまとめ

本章では、機能メモリの代表的なものと言われている連想メモリ：CAMを取り上げ、その定義と分類の概要、メモリセルと基本動作、第一の応用例としてデータフローコンピュータシステム中のマッチングユニット（MU）用の‘再入力モード付きCAM’、および第二の応用例としてマイクロプロセッサにオンチップ化されたメモリ管理用ユニット：TLBと周辺回路等について議論した。

第二章で述べたように、ディジタル型機能メモリの性能指標として、

- (a) メモリ容量
- (b) 動作速度（アクセス速度）
- (c) 機能性（機能の複雑度）

が挙げられるが、CAMの二つのタイプである、BSWP（ビットシリアルワード・パラレル）形とBPWP（ビットパラレルワード・パラレル）形とでは、前者が（a）に優れ、各ワードごとに複雑な論理回路を組み込むことでメモリ容量を減らす事なく機能性を高めることができるため（c）にも優れる可能性があるのに対し、後者は（b）に優れている。しかし、何れのタイプのCAMもワードに対して並列処理を実行している点では変わらない。

ここでは、システム中の高機能高速部品用としてのCAMを実現することを目標としたため、基本的にBPWP形のCAMのみを扱っている。しかし、メモリセルとしてはBPWP形であっても周辺回路を工夫すれば、動作速度を落とさずに、システムに合った幾つかの複雑な機能を追加できる。

第5.2節では、BPWP形の基本的なCAMセル回路を3種類提案し、このセルを行列状に並べたCAMの一致検索動作とその特性について議論した。素子の製造技術として、 $2\mu\text{m}$ CMOS技術を使った場合、提案した三種類のうち二つの形式は、標準的な検索時間（ビット線の駆動開始からセンス線に付いた検出回路で不一致出力が得られるまでの時間）は、20nsec 以下になる。更に、最悪の場合を考えてもこの検出時間特性が保証されるセル回路形式を選び、CAM用の基本メモリセルに採用する。

第5.3節では、上で述べた構成のCAMに周辺回路を付加し、データフローマシン（DFM）のMU（Matching Unit）として有用な幾つかの機能を持つ、再入力モード付きCAM（CARM；Content-Addressable and Reentrant Memory）を提案し、その諸特性を解析した。

CAMの動作特性上一般に問題となるのは、一回の検索動作で複数個の一致ワードが検出された場合、これらのワードアドレスを分解し、適当な個数のワードアドレスを順次出力するための回路、MRR(Multiple Response Resolver)回路である。MRRは本質的に処理がシーケンシャルであるため素子全体の時間的なクリティカルパスとなっているが、CARMでは、第一の特徴として、ALU等で高速のキャリー伝播を行うために使用されている、キャリールックアヘッド回路に似た、新しい構成のMRRを採用し、高速動作を実現した。

更に、CARMの第二の特徴として、周辺回路の追加で「遅延書き込み」という動作をさせ、ガーベッジコレクション(GC)機能を実現させている。GC機能は、このデバイスの応用されるシステムであるDFMのMUとして極めて有用なものであり、この機能追加によりデバイスの有用性は大いに増加する。

このデバイスは2 $\mu$ mルールで2層A1配線のCMOS技術を使って試作した。記憶容量は8Kb、素子数は99,000Tr.、チップサイズは4.8x7.1mm<sup>2</sup>、サイクルタイムは100nsec、消費電力は500mW(5V,10MHz)であり、比較的大容量で高速高機能のCAMが実現できた。

また、第5.4節では、32ビットMPU中にオンチップ化されたメモリ管理用高速アドレス変換素子：TLBとしてのCAMについて記述した。

TLBのCAMではMRRは不要であるが、一致検出出力をより速く得るために、ダミーワードを設け、このワードの出力を一致検出動作の終了信号とし(End-Of-Sence)、自己同期方式にする。(前記CARMはクロック同期方式で動作している。)

また、TLB中のLRU回路は、連想メモリセルを少し変更した2進大小比較回路とカウンタを組み合わせたセルの行列からなり、各ワードのカウンタの数値を選択的に更新することでLRUアルゴリズムを実現する。このTLBブロックは32ビットMPUにオンチップ化され、1 $\mu$ mルール2層A1のCMOS技術を使って試作し、64エントリ(2<sup>7</sup>ブロック x 32w x 32b)のテーブル容量で、RAM、CAM、LRU3ブロックを合わせてブロックサイズは3.31x2.52mm<sup>2</sup>で、サイクルタイムは80nsecの高速性を実現した。

また、このTLBをオンチップ化した32ビットMPUにはこれ以外に、2KBの命令CACHE、巡回形の乗算/除算器、パレルシフト等が付加されており、全体としてもサイクルタイム80nsecという高速で動作し、標準的なベンチマークプログラム実効時の性能として、アドレス変換時間も含めて、最大5.1MIPSという結果を得た。

## 第5章の参考文献

- [5.1]Herbert A. Simon, 'The Sciences of the Artificial,' 2nd Ed., MIT Press Cambridge, Mass., 1981.
- [5.2]T. Kohonen, 'Content Addressable Memories,' 2nd Ed., Springer-Verlag Berlin, 1987
- [5.3]C. R. Vick and R. E. Merwin, "An Architecture Description of a Parallel Processing Element," Proc. Intn'l Workshop on Computer Architecture, 1973
- [5.4]D. Rohrbach and J. L. Potter, "Image Processing with STARAN Parallel Computer," IEEE Comp., pp.54-59, Aug., 1977
- [5.5]Kai Hwang and Faye A. Briggs, 'Computer Architecture and Parallel Processing,' McGraw-Hill N.Y., 1984.
- [5.6]A. Kokubu, M. Kuroda and T. Furuya, "Orthogonal Memory A Step toward Realization of Large Capacity Associative Memory," Proc. VLSI85 pp.159-168, 1985
- [5.7]G. T. Tuttle; U.S. Patent No.3,300,761, Jan.24, 1967.
- [5.8]W. Kluge; Proc. IEEE vol.120, pp.1308, 1973.
- [5.9]R. M. Lea, "The comparative cost of associative memory," The Radio and Electronic Engineer, vol.46 No.10 pp.487-496, Oct., 1976.
- [5.10]C. V. Ramanmoorthy, et al., "A design of fast cellular associative memory for ordered retrieval," IEEE Trans. Computers, vol.C-27 NO.9, pp.80-815, 1978
- [5.11]小倉 武、山田 慎一郎 「連想メモリLSIの現状と今後」 電子通信学会誌 vol.69 No.7, pp.745-751, 7月 1986.
- [5.12]H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh and K. Kagawa, "An 8Kb Content-Addressable and Reentrant Memory," 1985 IEEE International Solid State Circuits Conference (ISSCC85) Dig. Tech. Papers, pp.42-43, Feb. 1985
- [5.13]H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh and K. Kagawa, "An 8Kb Content-Addressable and Reentrant Memory," IEEE J. Solid-State Circuits, vol.SC-20 No.5 pp.951-957, Oct., 1985.
- [5.14]T. Nikaido et al., "A 1Kb Associative Memory LSI," JJAP vol.22 pp.51-54, 1983
- [5.15]T. Ogura, S. Yamada and T. Nikaido, "A 4-Kbit Associative Memory LSI," IEEE J. Solid-State Circuits, vol.SC-20, No.6, pp.1277-1282, Dec. 1985
- [5.16]西道、廉田、他、「高速優先度付きエンコーダ」昭和59年度電子通信学会総合全国大会 予稿 p.2-320 1984年 3月

- [5.17]三宅、廉田、西道、「再入力モードをもつ連想メモリ」昭和60年度電子通信学会総合  
全国大会予稿 p.2-226 1985年 3月
- [5.18](例えば)Harvey M. Deitel, 'An Introduction to Operating System,' Addison Wesley,  
Mass., 1984, pp.187-195
- [5.19](例えば)山谷、秋山、「仮想計算機」共立出版 1978
- [5.20]H. Kadota et al., "A CMOS 32b Microprocessor with On-Chip Cache and Translation  
Lookaside Buffer," 1987 IEEE International Solid State Circuits Conference  
(ISSCC87) Dig. Tech. Papers, pp.36-37 Feb. 1987
- [5.21]H. Kadota et al., "A 32-bit CMOS Microprocessor with On-Chip Cache and TLB," 1987  
IEEE J. Solid-State Circuits, vol.SC-22, pp.800-807, Oct. 1987
- [5.22]岡林、三宅、前田、岡本、廉田、「連想メモリを用いたTLB」昭和61年度電子通信学会  
総合全国大会予稿 p.2-236 1986年 3月
- [5.23]中島、岡本、山口、廉田、「オンチップTLB用LRU回路」昭和62年度電子通信学会  
総合全国大会予稿 p.2-224 1987年 3月
- [5.24]勝連、岡林、山口、廉田、「高性能マイクロプロセッサのオンチップCACHE」  
昭和62年度電子通信学会 総合全国大会予稿 p.2-182 1987年 3月
- [5.25]T. Okamoto, M. Nakajima and H. Kadota, "A High-Speed Multiplier/Divider with Pre-  
decode and Recurrent Scheme," 1987 Symposium on VLSI Circuits, Dig. Tech. Papers,  
pp.101-102, May 1987
- [5.26]田丸啓吉 「32ビットマイクロプロセッサの特徴的機能 80386 と MC68020 をみる」  
日経データプロブックス "32ビットマイクロプロセッサの全容" pp.149-166,  
日経マクグローヒル 昭和61年12月
- [5.27]M. Horowitz et al., "MIPS-X: A 20MIPS Peak, 32-bit Microprocessor with On-Chip  
Cache," 1987 IEEE J. Solid-State Circuits, vol.SC-22, pp.790-799, Oct. 1987
- [5.28]K. Kaneko et al., "A 64b RISC Microprocessor for a Parallel Computer System," 1989  
IEEE International Solid State Circuits Conference (ISSCC89) Dig. Tech. Papers,  
pp.78-79 Feb. 1989

## 第 6 章 結 論

コンピュータに代表される今日の高性能電子機器では、その性能を向上させるために、システムレベルと要素部品レベルの両面から、多くの開発や改良が行われている。その中で情報の処理装置と記憶装置は特に重要な構成要素であるが、これらは従来、別々の部品として開発が行われていた。しかし、今後システムの高性能化を図るためには次の点に留意しなければならない。

(1) 従来の各部品の境界線をそのままにしていると、部品の内部の性能は向上するが、部品間の情報のやり取りに多くの時間を費やし、機器全体の性能はそれほど向上しない。(いわゆる、部品間のボトルネックの発生。)

(2) 部品の技術の中でも半導体集積回路の製造技術は長足の進歩を遂げ、従来は 1 チップに集積化できなかった複数の部品(およびその機能)をオンチップ化出来るようになってきている。(VLSI 技術)

本論文では、簡単なプロセッサとメモリの複合デバイスである「機能メモリ」を、上述の要件に合致した将来性あるデバイスの一つと考え、アナログおよびディジタル型の機能メモリについて、数値解析と、試作した素子の実測により得られた特性データをもとに、色々な角度から考察を行った。

まず、アナログの機能メモリとして、CCD を取り上げ、その基本特性を解析した。とくに、アナログ処理素子の性能指標として重要な、(a) 処理(動作)速度、(b) 雑音特性( $S/N$ )、(c) 入出力の直線性、の三特性を中心に記述した。

(a) については、デバイス構造と動作速度の関係を詳しく検討するため、すでに他者の研究で個々に明らかになっていた幾つかの理論式を整理してまとめるとともに、特性限界を定量的に評価するため、独自のフーリエ級数形のグリーン関数による極めて効率良い解析手法を導入して、二次元のデバイス数値シミュレーションを行った。この結果、

(1) CCD 本体の処理(動作)速度を決めているのは、埋込みチャネル形の CCD の場合素子内部の最少電界( $E_{min}$ )であり、 $E_{min}$  はゲート長の逆数の指数関数に比例することが分かった。従って、CCD をあるクロック周波数( $f_{ck}$ )で動作させようとした場合、デバイスの内部構造パラメータ(ゲート酸化膜厚、N-well の深さ、不純物濃度等)に応じてゲート長の上限( $L_{max}$ )が存在する。



即ち、

$$f_{ck} \sim \alpha \exp(-\beta L_{max})$$

(2)また、(b)との関連で、デバイス構造と信号電荷量との関係を上記のシミュレータで数値解析し、 $f_{ck}$ の場合とは逆に、ある程度の信号電荷量 ( $N_{signal}$ ) を扱うためにはゲート長下限 ( $L_{min}$ ) があることが分かった。つまり、ある周波数で動作させ、十分なダイナミックレンジを得るためには C C D のゲート長  $L$  は  $L_{min} < L < L_{max}$

(b)の雑音については、素子の暗電流が問題となる。暗電流の原因は、製造プロセス中に発生する結晶欠陥、特にスタッキングフォールトがその主要なものであることを確認し、この電気特性を実験的に評価すると共に、低欠陥製造プロセスの採用により、雑音レベルが 1 / 10 程度にまで改善されることを実証した。

(c)の直線性に関しては、C C D の入出力回路の特性が大きく影響しており、試作素子の高調波特性を測定することで評価した。

実用上問題無いレベルとして、S/N, 直線性とも 40dB あればよいと言われており、通常の C C D では、記憶保持時間 0.2~15msec (室温)、入力電圧振幅 1 V 程度まではこの特性を満足する。

C C D について、最後に実地的な応用が可能な 3 種類の素子を試作し、上記の各特性を評価した。

第一は、1 H メモリ用の直線形 C C D で駆動クロックが 10.74MHz を仮定しているため、素子のビット数は 682.5b である。特性的にはほぼ良好なものが得られたが、直線形のため素子の寸法が  $14 \times 2 \text{mm}^2$  と細長くなり製造上効率が悪い。

第二の例は、やはり 1 H メモリであるが、ビデオの輝度信号を処理するもので上のものより帯域が狭いので、駆動クロック周波数は 7.16MHz 素子のビット数は 455b である。

この素子で特徴的なことは C C D の転送チャネルを蛇行させて全体の形状をより正方形に近づけており、しかも各折り曲げ部分では、新しく提案した曲尺形の転送ゲートを用いていることである。C C D 本体の形状はほぼ正方形をしており、更にクロックの駆動回路等の周辺回路もオンチップ化し、全体の寸法は  $1.5 \times 2.7 \text{mm}^2$  である。この場合も C C D 本体の特性として良好なものが得られた。

第三の例は、ビデオ信号のフレームメモリである。素子の構成は水平方向が 128b 垂直方向が 52b の行列状で、いわゆる、S P S 動作をさせる。全体の寸法は  $4.3 \times 2.5 \text{mm}^2$  である。この場合重要なのは、1 フレーム (33msec) の時間 C C D で記憶保持をすることであり、素子の暗電流を少なくするため、低欠陥プロセスを採用し、記憶容量の 95% を占めるパラレル部については、より



暗電流の少ない表面チャネル形CCDを採用した。（シリアル部は、高速動作が必要なため埋め込みチャネル形とした。）この結果、1フレーム時間記憶を保持した状態で、S/Nが30dB程度の良好な特性の素子が得られた。

各素子の特性は、広い範囲で解析結果とよく一致している。従って、本論文で示した解析手法（グリーン関数による2次元ポテンシャル解析など）は、素子の構造パラメータが異なった、最新のプロセス技術を用いたCCDに於いても十分に役立つと思われる。

本論文の後半の二つの章では、ディジタル型の機能メモリを扱った。

第一に、単純なメモリに近いマルチポートメモリの具体例として16bのマイクロプロセッサ（MPU；3 $\mu$ mNMOS）中に用いるレジスタファイル（読み出し2ポート、書き込み1ポート）の構成方式を検討した。何回かの素子の試作と回路解析の結果、次の事が分かった。（a）書き込みと読み出しのビット線を分離しなければ、二つの動作「書き込み」と「読みだし」が連続してに発生するレジスタファイルでは誤動作が起こる。（リードエラー）  
（b）書き込み時に、電源電圧が低下し、4V付近になった場合、書き込み動作が完了しない内に次の同一ワードの読み出し動作になると誤動作がおこる。（ライトエラー）  
以上の二つの誤動作に対して、回路・方式的に改良を加えた新しい構成のレジスタファイルにより、当初の仕様どおりのパイプライン動作が実現でき、16bMPUは開発当時としては高速な、マシンサイクル250nsecという性能を満足することができた。

第二に、より本格的な機能メモリである連想メモリの二つの具体例について検討した。

本論文では、連想メモリの二つのタイプの内、完全並列動作のビットパラレルワードパラレル形（BPWP）を扱い、最初にメモリセルの回路形式を検討する。この結果、最もレスポンスの速いCMOSスタティック10トランジスタのメモリセル回路を選択し、以後の試作デバイスには全てこの形のセルを採用する。

連想メモリの最初の応用例は、データフローコンピュータ（DFM）の処理発火機構のオペランドマッチングユニット（MU）に使用されるものである。この素子では、一般的な連想メモリの特性として、

（a）データ入力から一致検索までのアクセスタイム

（b）複数の一致が検出される場合の分離出力応答特性（：MR R特性）

を解析すると同時に、MR Rについては新しい方式を採用し良好な応答特性を得た。更に、この素

子は、MUとして重要な機能である次の条件付き動作モードをサポートする。

(c)検索結果一致した場合、登録されていたデータを消去すると同時に、メモリ内の歯抜け状態を整理する。(Conditional Garbage Collection:CGC)

(d)検索結果不一致の場合は、検索の参照データをそのままメモリ内に記憶させる。

(c)を実現するために、各ワードに若干の回路を追加し、また(d)を実現するために、メモリセルの動作とビット線の電位関係を利用して効率的にデータを書き込む「遅延書き込み手法」を導入した。

試作素子は $2\mu\text{m}$ CMOSプロセスで製造され、8Kbのメモリ容量で $4.8\times 7.1\text{mm}^2$ の寸法である。また速度的には、各バスラインのプリチャージや一致検索動作、MRR出力動作も含んで、マシンサイクル100nsecという良好な特性のものが得られた。

連想メモリの他の応用例として、32bMPUにオンチップ化されたTLBについて検討した。この場合は、連想メモリは通常のRAMと組み合わせて使われ、上の例のMRR動作などは必要無く、一致検索からRAMのワード読み出しまでのアクセスタイムが問題となる。アクセスを高速にするため、この素子では一致検出回路に自己同期的なパルス発生回路を付加した。またTLBのリプレースメントアルゴリズムとして有効なLRUをサポートする新しい回路構成も採用して同時にオンチップ化した。製造プロセスは $1\mu\text{m}$ CMOSを使い、32bアドレス空間に対して64エントリのTLBとLRUで素子寸法は $3.3\times 2.5\text{mm}^2$ のものが得られた。特性としては、検索データ入力からRAMの出力まで約16nsecの高速な応答時間であった。

VLSI製造技術の進歩は今後も続き、これを使って、更に高性能で実用的な機能メモリが開発される機会が増加すると予想される。本論文で示した幾つかの解析手法や回路例は将来の機能メモリ開発に於いても充分に役立つものと考えられる。

## 謝 辞

本論文をまとめるにあたり、終始御懇切な御指導と御鞭撻を賜りました京都大学工学部教授 田丸啓吉博士に深甚なる謝意を表します。

また本論文につき数々の有益な御教示と御助言を頂いた京都大学工学部教授 矢島脩三博士、松波弘之博士に心より感謝いたします。

本研究の機会を与えられ、直接、間接に御指導を頂いた松下電器産業株式会社取締役 半導体研究センター所長 堀内司朗博士、および開発推進センター所長 石原健副理事に深く感謝の意を表します。

松下電器株式会社半導体研究センター 大曾根隆志博士、一戸英輔主幹技師、照井康明主幹研究員、超LSIデバイス研究所所長 間野洋治郎主幹技師 には本研究の遂行に当たって御指導と御鞭撻を頂きました。ここに深く感謝いたします。

また本研究を行うに当り御尽力を頂いた松下電器産業株式会社 半導体研究センター 超LSI技術研究所 香川恵一主任技師、超LSIデバイス研究所 三宅二郎氏、山口聖司技師、西道佳人技師、金子克幸技師、岡林一郎技師、前田俊則氏、岡本理氏、中島雅逸氏、さらに有益な御討論を頂いた同社技術部門情報通信関西研究所 西沢貞次主任技師に厚く御礼申し上げます。

## 研究業績目録

### 発表論文

- (1) T. Ohzone, S. Horiuchi, H. Kadota and K. Kagawa, "Coplanar Al-Al<sub>2</sub>O<sub>3</sub>-Al Gate CCD," International Electron Device Meeting (IEDM76) Tech. Dig. IEDM, pp.35-37, Dec 1976
- (2) Y. Terui, T. Wada, M. Yoshino, H. Kadota, T. Komeda, T. Chikamura, S. Fujiwara, H. Tanaka, Y. Ota, Y. Fujiwara, K. Ogawa, O. Kitahiro and S. Horiuchi, "A Solid-State Color Image Sensor using ZnSe-ZnCdTe Heterojunction Thin-film Photo-conductor," 1980 IEEE International Solid-State Circuit Conference (ISSCC80), Dig. Tech. Papers, pp.34-35, Feb. 1980
- (3) H. Kadota, S. Ozawa, K. Kawakami and E. Ichinohe, "A New Register File Structure for the High-Speed Microprocessor," IEEE J. Solid-State Circuit, vol. SC-17 No. 5 pp. 892-897, Oct., 1982.
- (4) 廉田浩、山口聖司、小沢純雄、川上桂、一戸英輔「16ビット高速マイクロプロセッサ MN1613」 National Technical Report, vol.29 No.2 pp.112-120、1983年 4月
- (5) H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh and K. Kagawa, "An 8Kb Content-Addressable and Reentrant Memory," 1985 IEEE International Solid State Circuits Conference (ISSCC85) Dig. Tech. Papers, pp.42-43, Feb. 1985
- (6) H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh and K. Kagawa, "An 8Kb Content-Addressable and Reentrant Memory," IEEE J. Solid-State Circuits, vol. SC-20 No.5 pp. 951-957, Oct., 1985.
- (7) H. Kadota, J. Miyake, I. Okabayashi, T. Maeda, T. Okamoto, Y. Takagi, K. Kagawa and E. Ichinohe, "A CMOS 32bit Microprocessor with On-Chip Cache and Translation Lookaside Buffer," 1987 IEEE International Solid-State Circuits Conference (ISSCC87), Dig. Tech. Papers, pp.36-37 Feb. 1987

- (8) H. Kadota, J. Miyake, I. Okabayashi, T. Maeda, T. Okamoto, M. Nakajima, K. Kagawa,  
"A 32-bit CMOS Microprocessor with On-Chip Cache and TLB," IEEE J. Solid-State  
Circuits, vol. SC-22 No. 5 pp. 800-807, Oct., 1987.
- (9) T. Okamoto, M. Nakajima and H. Kadota, "A High-Speed Multiplier/Divider with Pre-  
decode and Recurrent Scheme," 1987 Symposium on VLSI Circuits, Dig. Tech. Papers,  
pp. 101-102, May 1987
- (10) K. Kaneko, T. Okamoto, M. Nakajima, Y. Nakakura, S. Gokita, J. Nishikawa,  
Y. Tanikawa and H. Kadota, "A 64b RISC Microprocessor for a Parallel Computer  
System," 1989 IEEE International Solid-State Circuits Conference (ISSCC89), Dig.  
Tech. Papers, pp. 78-79 Feb. 1989

#### 国内学会発表および研究会資料

- (1) 廉田浩、和田孝道、大曾根隆志、堀内司朗「表面形CCDにおける暗電流特性」昭和51年度  
応用物理学会春季全国大会 27p-N-2 p. 350 1976年 3月
- (2) 廉田浩、大曾根隆志、香川恵一、堀内司朗「1ライン用CCDビデオ遅延線」電子通信学会  
半導体トランジスタ研究会資料 SSD77-5, pp. 35-44、1977年 5月
- (3) 廉田浩、大曾根隆志、堀内司朗「サーペンタイン形CCDアナログ遅延線」昭和55年度  
電子通信学会総合全国大会 p. 2-23 1980年 3月
- (4) 廉田浩、西沢貞次、一戸英輔「高速マイクロプロセッサのレイアウト設計」昭和57年度電子  
通信学会総合全国大会 p. 2-99 1982年 3月

## 付 録

### 付 録 1. C C Dの内部電位計算式の導出と計算機プログラムの概要

この節では、3.3章で述べたC C D内部ポテンシャルの計算方法の詳細について記述する。

まず第一に、各係数、 $\alpha$ 、 $\beta$ 、 $\gamma$ 等の求め方を示し、次に、求められた解、即ち、フーリエ級数が収束しているかを吟味する。最後に、計算機による数値計算の近似条件と計算プログラムの概略の構成を説明する。

#### A 1. 1 係数の求め方

第3.3章で述べたように、半導体内の電位と電荷分布を求めるためのポアソンの方程式等の幾つかの方程式は適当な近似と変数のフーリエ級数展開により、常微分方程式群に変換される。まず、この解を求める。原方程式として、第3.3章の内容を再録する。内部電位、電荷分布、電極の電位分布をそれぞれ  $\Phi(x, y)$ 、 $e N(x, y)$ 、 $V_g(x)$  とすると、

$$\Phi(x, y) = \sum_n v_n(y) \cos(\omega_n x) \quad (3.35)$$

$$e N(x, y) / \varepsilon = \sum_n f_n(y) \cos(\omega_n x) \quad (3.36)$$

$$V_g(x) = \sum_n b_n \cos(\omega_n x) \quad (3.37)$$

$$\{ n = 0 \sim \infty, \omega_n = n\pi / L \}$$

但し。各係数は形式的に次の様に表せる。

$$v_n(y) = e_n / 2L \int_{-L}^L \Phi(x, y) \cdot \cos(\omega_n x) dx$$

$$f_n(y) = e_n / 2L \int_{-L}^L e N(x, y) / \varepsilon \cdot \cos(\omega_n x) dx$$

$$b_n = e_n / 2L \int_{-L}^L V_g(x) \cdot \cos(\omega_n x) dx$$

$$\{ e_0 = 1, e_n = 2 (n > 1) \}$$

(3.35), (3.36), (3.37) を (3.29), (3.30), (3.31), (3.32), (3.33), (3.34) に代入すると、次の常微分方程式とその境界条件を得る。

$$d^2 v_n / dy^2 - \omega_n^2 v_n = -f_n \quad (3.41)$$

$$v_n(0) = b_n \quad (3.42)$$

$$v_n(y_{dep}) = 0 \quad (3.43)$$

$$v_n'(y_{dop}) = 0 \quad (3.44)$$

$$v_n(d-0) = v_n(d+0) \quad (3.45)$$

$$v_n'(d-0) = \kappa v_n'(d+0) \quad (3.46)$$

$$\kappa = \varepsilon_{SI} / \varepsilon_{OX}$$

(3.41) は  $f_n = 0$  を代入した場合の一般解と、1つの特解の和により求めることができ、次のようになる。

$$v_n^{(0)} = b_n \{ \tau_n SH_n(y) + CH_n(y) \} \cdot \exp(\omega_n y) \quad (3.47)$$

$$(0 \leq y < d)$$

$$v_n^{(1)} = \alpha_n SH_n(y_{dop} - y) \cdot \exp[\omega_n(d-y)]$$

$$- \beta_n \{ SH_n(y_{dop} - y) \int_d^y f_n SH_n(\eta) \cdot \exp[\omega_n(\eta - y)] d\eta$$

$$+ SH_n(y) \int_y^{y_{dop}} f_n SH_n(y_{dop} - \eta) \cdot \exp[\omega_n(y - \eta)] d\eta \} \quad (3.48)$$

$$(d \leq y \leq y_{dop})$$

但し、

$$SH_n(y) = \exp(-\omega_n y) \cdot \sinh(\omega_n y) / \omega_n \quad (n \geq 1)$$

$$y \quad (n=0)$$

$$CH_n(y) = \exp(-\omega_n y) \cdot \cosh(\omega_n y) \quad (n \geq 1)$$

$$1 \quad (n=0)$$

(3.48) の第2項の積分はポアソンの式に対するグリーン関数に他ならない。[3.25]

未定係数  $\alpha_n$ ,  $\beta_n$ ,  $\tau_n$  を境界条件(3.42)~(3.46)を満たすように決定する。まず、解(3.47)、(3.48)はそれぞれ条件(3.42)、(3.43)を満足しているので、他の3条件と微分方程式(3.41)を考える。(3.47)、(3.48)の  $y$  についての一次、および二次微分を求めると、

$$v_n^{(0)'} = b_n \{ \tau_n CH_n(y) + \omega_n^2 SH_n(y) \} \exp(\omega_n y) \quad (A.1)$$

$$v_n^{(1)'} = -\alpha_n CH_n(y_{dop} - y) \cdot \exp[\omega_n(d-y)]$$

$$+ \beta_n \{ CH_n(y_{dop} - y) \int_d^y f_n SH_n(\eta) \exp[\omega_n(\eta - y)] d\eta$$

$$- CH_n(y) \int_y^{y_{dop}} f_n SH_n(y_{dop} - \eta) \exp[\omega_n(y - \eta)] d\eta \} \quad (A.2)$$

$$v_n^{(0)''} = b_n \omega_n^2 \{ \tau_n SH_n(y) + CH_n(y) \} \exp(\omega_n y) \quad (A.3)$$

$$v_n^{(1)''} = \alpha_n \omega_n^2 SH_n(y_{dop} - y) \cdot \exp[\omega_n(d-y)]$$

$$- \beta_n \omega_n^2 \{ SH_n(y_{dop} - y) \int_d^y f_n SH_n(\eta) \exp[\omega_n(\eta - y)] d\eta$$

$$+ SH_n(y) \int_y^{y_{dop}} f_n SH_n(y_{dop} - \eta) \exp[\omega_n(y - \eta)] d\eta$$

$$+ \beta_n f_n \{ CH_n(y_{dop} - y) SH_n(y) + CH_n(y) SH_n(y_{dop} - y) \} \quad (A.4)$$

$f_n=0$  ( $0 \leq y \leq d$ )、 $f_n \neq 0$  ( $d < y \leq y_{dep}$ ) であるので、(A.3) はそのまま (3.41) を満たしており、(A.4) は第3項が  $f_n$  に等しいと (3.41) を満たす。従って、双曲線関数の加法定理を使い、 $\beta_n$  を以下のように求める。

$$\begin{aligned} \beta_n f_n \{CH_n(y_{dep}-y)SH_n(y) + CH_n(y)SH_n(y_{dep}-y)\} &= f_n \\ \beta_n \cdot SH_n(y_{dep}) &= 1 \quad \rightarrow \quad \beta_n = 1/SH_n(y_{dep}) \end{aligned} \quad (A.5)$$

次に、(3.47)、(3.48) に条件 (3.45) を適用することにより次式を得る。

$$\begin{aligned} b_n \{ \gamma_n SH_n(d) + CH_n(d) \} \cdot \exp(\omega_n d) &= \alpha_n SH_n(y_{dep}-d) - SH_n(d) \theta_n \quad (A.6) \\ \theta_n &= \beta_n \int_d^{y_{dep}} f_n SH_n(y_{dep}-\eta) \exp[\omega_n(d-\eta)] d\eta \end{aligned}$$

更に、(A.1)、(A.2) に条件 (3.46) を適用することにより次式を得る。

$$b_n \{ \gamma_n CH_n(d) + \omega_n^2 SH_n(d) \} \exp(\omega_n d) = -\kappa \{ \alpha_n CH_n(y_{dep}-d) + CH_n(d) \theta_n \} \quad (A.7)$$

(A.6) (A.7) を  $\gamma_n, \alpha_n$  に関する連立方程式として解くと、第3章に示した次の結果を得る。

$$\alpha_n = z_n \{ b_n \exp(-\omega_n d) - (\theta_n/2)(\kappa-1)SH_n(2d) \} \quad (3.49)$$

$$\beta_n = 1/SH_n(y_{dep}) \quad (3.50)$$

$$\begin{aligned} \gamma_n &= -z_n \{ (\kappa-1) CH_n(d)CH_n(y_{dep}-d) + CH_n(y_{dep}) \\ &\quad + (\kappa \theta_n \exp(-\omega_n d) / b_n) SH_n(y_{dep}) \} \end{aligned} \quad (3.51)$$

但し、

$$\begin{aligned} z_n &= 1 / \{ SH_n(y_{dep}) + (\kappa-1) CH_n(y_{dep}-d)SH_n(d) \} \\ \theta_n &= \beta_n \int_d^{y_{dep}} f_n SH_n(y_{dep}-\eta) \cdot \exp[\omega_n(d-\eta)] d\eta \end{aligned}$$

次に、未定定数  $y_{dep}$  を条件式 (3.44) を使って求める。ここで、前述のように、 $y=y_{dep}$  付近ではポテンシャルは殆ど0なので、 $y_{dep}$  は  $x$  方向には一定であると仮定しても差し支えない。従って、(3.44) のうち  $n=0$  の場合だけを考えれば十分である。

$$v_0^{(1)'}(y_{dep}) = -\alpha_0 + \beta_0 \int_d^{y_{dep}} f_0 \eta d\eta \quad (A.8)$$

$$\beta_0 = 1/y_{dep}$$

$$\begin{aligned} \alpha_0 &= z_0 \{ b_0 - \theta_0(\kappa-1)d \} \\ &= \{ b_0 - (\kappa-1)(d/y_{dep}) \int_d^{y_{dep}} f_0(y_{dep}-\eta) d\eta \} / \{ y_{dep} + (\kappa-1)d \} \end{aligned}$$

(A.8) を整理すると、(A.9) のようになる。これを満たすように  $y_{dep}$  を決めればよい。

$$b_0 = (d/y_{dep}) \int_d^{y_{dep}} f_0 \cdot \{ (\kappa-1)d + \eta \} d\eta \quad (A.9)$$



### A 1. 2 級数の収束性について

フーリエ級数は、その  $n$  次の係数  $\{C_n\}$  が  $n \rightarrow \infty$  の時、 $C_n \rightarrow 0$  であれば級数は収束することが示されているのでこれを確認する。各係数の評価では、次の簡単化を行う。

- (1) 各係数の中で計算される定積分の評価は、積分領域内における被積分関数の最大値で代表させる。
- (2)  $\sinh$ ,  $\cosh$  は  $\exp$  関数で代表する。
- (3)  $\{b_n\}$   $\{f_n\}$  は、各々、電極列に印加された電位分布およびデバイス中の電荷分布のフーリエ展開の係数であるため、 $n \rightarrow \infty$  の時、 $b_n, f_n \rightarrow 0$  であると考える。

$$\beta_n = 1 / \text{SH}_n(y_{dep}) \sim 2\omega_n$$

$$z_n = 1 / \{ \text{SH}_n(y_{dep}) + (\kappa - 1) \text{CH}_n(y_{dep} - d) \text{SH}_n(d) \} \sim 2\omega_n / \{1 + (\kappa - 1)/2\}$$

$$\theta_n = \beta_n \int_d^{y_{dep}} f_n \text{SH}_n(y_{dep} - \eta) \exp[\omega_n(d - \eta)] d\eta \sim f_n$$

$$\alpha_n = z_n \{ b_n \exp(-\omega_n d) - (\theta_n / 2) (\kappa - 1) \text{SH}_n(2d) \} \sim -f_n (\kappa - 1) / (\kappa + 1)$$

$$\begin{aligned} r_n &= -z_n \{ (\kappa - 1) \text{CH}_n(d) \text{CH}_n(y_{dep} - d) + \text{CH}_n(y_{dep}) \\ &\quad + (\kappa \theta \exp(-\omega_n d) / b_n) \text{SH}_n(y_{dep}) \} \\ &\sim -z_n / 2 \{ (\kappa - 1) / 2 + 1 + \kappa f_n \exp(-\omega_n d) / (b_n \omega_n) \} \\ &\sim -\omega_n - \kappa f_n \exp(-\omega_n d) / \{ b_n (\kappa + 1) / 2 \} \end{aligned}$$

$$\begin{aligned} v_n^{(0)} &= b_n \{ r_n \text{SH}_n(y) + \text{CH}_n(y) \} \cdot \exp(\omega_n y) \\ &\sim (b_n / 2) [-1 - \kappa f_n \exp(-\omega_n d) / \{ b_n \omega_n (\kappa + 1) / 2 \} + 1] \exp(\omega_n y) \\ &\sim -\kappa f_n \exp\{-\omega_n(d - y)\} / \{ \omega_n (\kappa + 1) \} \rightarrow 0 \quad (0 < y \leq d) \end{aligned}$$

$$\begin{aligned} v_n^{(1)} &= \alpha_n \text{SH}_n(y_{dep} - y) \cdot \exp[\omega_n(d - y)] \\ &\quad - \beta_n \{ \text{SH}_n(y_{dep} - y) \int_d^y f_n \text{SH}_n(\eta) \cdot \exp[\omega_n(\eta - y)] d\eta \\ &\quad + \text{SH}_n(y) \int_y^{y_{dep}} f_n \text{SH}_n(y_{dep} - \eta) \cdot \exp[\omega_n(y - \eta)] d\eta \} \\ &\sim -f_n (\kappa - 1) / (\kappa + 1) \exp[\omega_n(d - y)] / 2\omega_n - f_n / \omega_n \rightarrow 0 \quad (d \leq y \leq y_{dep}) \end{aligned}$$

以上により、フーリエ級数は収束することが分かる。

### A 1. 3 解析プログラムの概略

まず解析の精度を充分にとるために、デバイスの大きさに関係なく、 $x$  方向、 $y$  方向とも 512 等

間隔に分割する。即ち、 $512 \times 512$  のメッシュで解析を実行する。等間隔にすることによって、計算式中に頻繁に現れる関数： $\cos(\omega_n x)$ ,  $\sin(\omega_n x)$ ,  $\exp(-\omega_n y)$ ,  $\omega_n \text{SH}(y)$ ,  $\text{CH}(y)$  等は、組み込み関数を呼び出さず、テーブル化できるので、計算時間が短縮される。また積分の計算は台形近似で行う。

次に、計算の概略手順を示す。

- (1)変数の入力：x 方向 全長, 各電極長, 電極の電圧分布, デバイス内部電荷分布  
y 方向  $d$ ,  $y_1$ ,  $y_{dep}$  (仮の値), 内部電荷分布の始点( $y_s$ ), 終点( $y_e$ )(仮の値)
- (2)計算の準備： $\Delta x = \text{全長}/512$ ,  $\cos(\omega_n x_i)$   $\sin(\omega_n x_i)$  のテーブル作成  
 $\{b_n\}$   $\{f_n\}$  の算出
- (3)繰り返し計算の開始： $\Delta y = y_{dep}/512$ ,  $\exp(-\omega_n y_j)$   $\omega_n \text{SH}_n(y_j)$   $\text{CH}_n(y_j)$
- (4)(A.9)による  $y_{dep}$  の決定：(A.9)で、 $b_0$  は  $y_{dep}$  の 2 次関数なので、 $y_{dep}$  の近似値を代入して、3 回 {(3)→(4)} を繰り返し計算すれば、4 回目には正しい  $y_{dep}$  が求まる。
- (5) $v_0(y_s)$ ,  $v_0(y_e)$  の計算： $[v_0(y_s) - v_0(y_e)]$  が 0 になるように、 $y_s^{(i+1)} = y_s^{(i)} + \delta$   
 $y_e^{(i+1)} = y_e^{(i)} + \delta$  の繰り返し計算 {(3)→(4)→(5)} を行う。これもほぼ 2 次関数なので、4 回目には正しい  $y_s$ ,  $y_e$  が求められる。
- (6) $v_n(y_k)$ を求める： $(y_s \leq y_k \leq y_e)$
- (7)矩形電荷分布の  $y$  軸に平行な境界線上( $x=x_s$ ) の  $x$  方向電界の平均値を計算する：  
$$E_{\text{edge}} = - \sum_k \sum_n \omega_n v_n(y_k) \sin(\omega_n x_s) \quad (y_s \leq y_k \leq y_e)$$
  
これが 0 になるように、 $x_s$ ,  $y_s$ ,  $y_e$  を選んで、繰り返し計算  
{(3)→(4)→(5)→(6)→(7)} を実行する。但し、総電荷量： $x_s \cdot (y_e - y_s)$  が一定になるように変化させる。
- (8)最後に、出力が必要な点の電位を計算する：  
$$\Phi(x_i, y_k) = \sum_n v_n(y_k) \cos(\omega_n x_i)$$

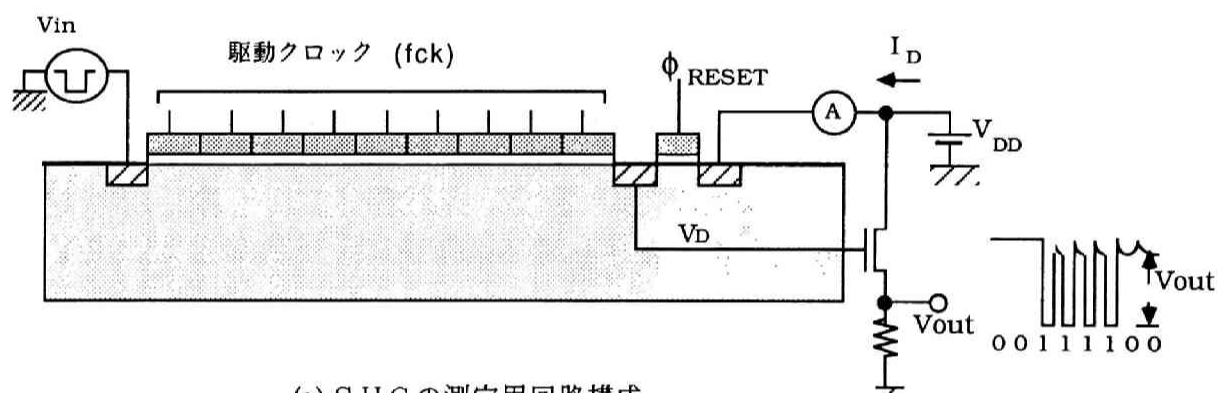
プログラムは FORTRAN (変数は単精度) で記述され、コメントも含めて、約1200行である。これらの処理は、中レベルの大型コンピュータまたはスーパーミニコンピュータ (2～4 MIPS マシン) で容易に実行できる。必要なメモリ量は、4 MB 程度、CPU 時間は総べての繰り返し計算を含めて、300～1000 秒程度である。

## 付 録 2. CCDリセットジャンクション形出力部のSHCと出力容量

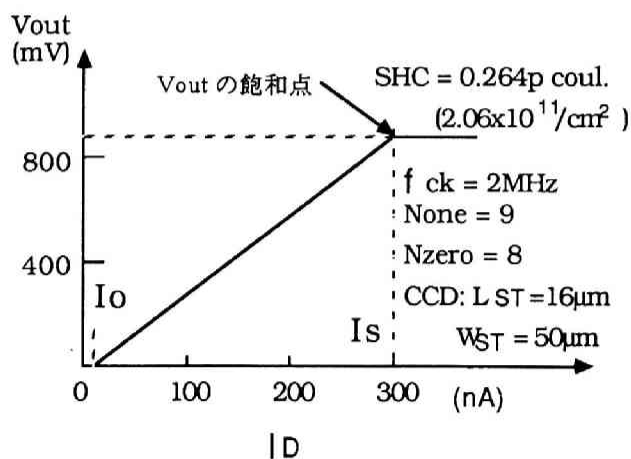
第3.3.7節で示したSHC (Signal Handling Capability; 最大信号電荷量) の測定は次のようにして行った。

### (a)最大信号電荷量SHC

CCDの入力に矩形波信号を印加すると、出力端では下図のような“00...011...10...”というパルス出力を得る。更にリセットゲートのドレインと電源の間に電流計を挿入すると出力パルス振幅と電流 $I_D$ の関係を示す曲線がプロットできる。



(a) SHC の測定用回路構成



(b) 出力電流電圧特性

第A.2.1図 SHC測定用回路構成と出力電流電圧特性

$V_{in}$  の振幅を増加すると  $V_{out}$  の振幅も大きくなり、あるところで転送効率が劣下し始める。この点の 1 パケット分の電荷が  $SHC$  である。  $SHC$  は次の式から求められる。

$$I_s - I_o = SHC \times f_{CLK} \frac{N_{ONE}}{N_{ZERO} + N_{ONE}}$$

$I_o$  ;  $V_{out}$  が 0 のときの出力電流       $I_s$  ;  $V_{out}$  が飽和のときの出力電流

$f_{CLK}$  ; クロック周波数       $N_{ZERO}$  ; 信号の繰り返しの中での “0” の個数

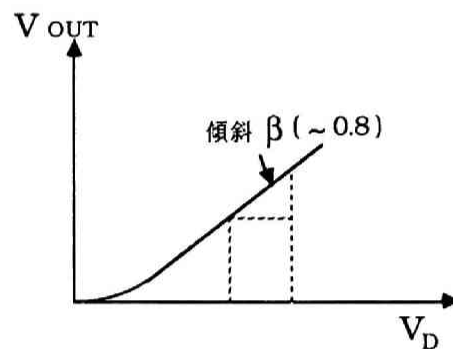
$N_{ONE}$  ;                      “ 1 ”      “ ”

#### (b)リセットジャンクション部の浮遊容量

上述の測定から、出力電圧  $V_{out}$  とそれに対応する電荷量  $Q_{out}$  の関係が求まるため、この比から容量が計算できる。しかし、出力電圧はリセットジャンクションの電圧ではなく、それを一旦ソースフォロアで変換したものなのでこの変換係数  $\beta$  を求め、この補正後ジャンクション部の容量  $C_j$  を計算する。

$$C_j = (V_{out} / \beta) / Q_{out}$$

この浮遊容量  $C_j$  には、拡散層の容量、ソースフォロアの入力ゲート容量、リセットトランジスタのソース・ゲート間容量、配線容量、 $CCD$  出力端と拡散層間の容量等が含まれ  $W=30\mu m$  の  $CCD$  の場合、 $0.2\sim 0.3pF$  程度になる。



第A.2.2図 ソースフォロアの入出力電圧特性







